

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09130431 A**(43) Date of publication of application: **16.05.97**

(51) Int. Cl.

**H04L 25/02**  
**H04L 25/02**  
**H03K 19/0175**  
**H04L 12/40**

(21) Application number: **07309823**(71) Applicant: **HITACHI LTD**(22) Date of filing: **02.11.95**

(72) Inventor: **NAGAYAMA YOSHIHARU**  
**YAMAKIDO KAZUO**

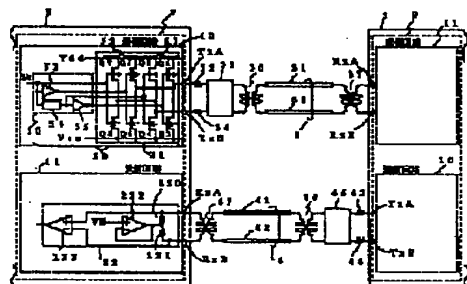
(54) **TRANSMISSION LINE DRIVING CIRCUIT,  
 OUTPUT DRIVER CIRCUIT AND ATM-LAN  
 ADAPTER CARD**

COPYRIGHT: (C)1997,JPO

(57) Abstract

**PROBLEM TO BE SOLVED:** To make a driver circuit to be utilized for a physical layer interface for ATM-LAN perform a low voltage operation.

**SOLUTION:** A driver circuit (50) for transmission includes the CMOS output stages (51, 52) composed of first and second pairs in which PMOS transistors and NMOS transistors are serially connected. The source of the PMOS transistor and the source of the NMOS transistor are coupled with power source voltage (Vdd) and ground potential (Vss), respectively. The common drain of the MOS transistor composing the first pair and the common drain of the MOS transistor composing the second pair are coupled with one transmission terminal (TxA) and the other transmission terminal (TxB), respectively. The first pair and the second pair of the CMOS output stage are made to perform pushpull operations in the opposite phase with each other.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-130431

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 25/02		9199-5K	H 0 4 L 25/02	S
		9199-5K		F
		9199-5K		V
	3 0 3	9199-5K		3 0 3 B
H 0 3 K 19/0175			H 0 3 K 19/00	1 0 1 F
審査請求 未請求 請求項の数12 F D (全 26 頁) 最終頁に続く				

(21) 出願番号 特願平7-309823

(22) 出願日 平成7年(1995)11月2日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 永山 義治

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 山木戸 一夫

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

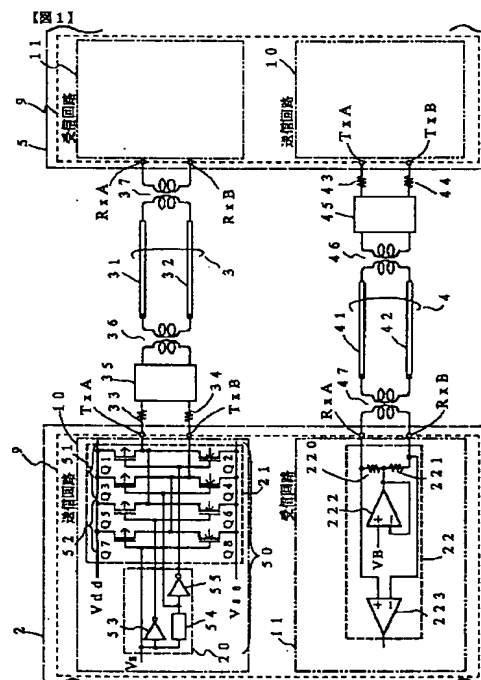
(74) 代理人 弁理士 玉村 静世

(54) 【発明の名称】 伝送線駆動回路、出力ドライバ回路及びATM-LANアダプタカード

(57) 【要約】

【課題】 ATM-LAN用の物理層インタフェースに利用されるドライバ回路を低電圧動作させる。

【解決手段】 送信用のドライバ回路(50)は、PMOSトランジスタとNMOSトランジスタとを直列接続した第1及び第2の対から成るCMOS出力段(51, 52)を含み、前記PMOSトランジスタのソースは電源電圧(V<sub>dd</sub>)に、NMOSトランジスタのソースは接地電位(V<sub>ss</sub>)に結合され、第1の対を構成するMOSトランジスタの共通ドレインは一方の送信端子(T<sub>x</sub>A)に、第2の対を構成するMOSトランジスタの共通ドレインは他方の送信端子(T<sub>x</sub>B)に結合され、CMOS出力段の第1の対と第2の対は相互に逆相でプッシュプル動作される。



## 【特許請求の範囲】

【請求項1】 伝送線を介して受信回路に1対1対応で接続されるATM-LAN物理レイヤ用の伝送線駆動回路であって、

1対の送信端子を備えた出力ドライバ回路と、前記1対の送信端子に夫々結合された出力インピーダンス調整用の抵抗と、前記抵抗に直列接続されたフィルタと、前記フィルタの出力端子に1次側が結合され、2次側が伝送線に結合されるトランスとを含み、

前記出力ドライバ回路は、Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを直列接続した第1及び第2の対から成るCMOS出力段を含み、前記Pチャンネル型MOSトランジスタのソースは電源電圧に、Nチャンネル型MOSトランジスタのソースは接地電位に結合され、前記第1の対を構成するMOSトランジスタの共通ドレインは一方の送信端子に、前記第2の対を構成するMOSトランジスタの共通ドレインは他方の送信端子に結合された出力回路と、前記電源電圧と接地電位を動作電源とし、前記CMOS出力段の前記第1の対と第2の対を相互に逆相でプッシュプル動作させる出力制御回路と、を備えて成るものであることを特徴とする伝送線駆動回路。

【請求項2】 前記第1及び第2の対を夫々備えたCMOS出力段を並列に2段以上含み、前記出力制御回路は前記各段のプッシュプル動作のタイミングを相互にずらす第1のタイミング制御手段を有するものであることを特徴とする請求項1記載の伝送線駆動回路。

【請求項3】 前記出力制御回路は、前記MOSトランジスタのターン・オン動作をターン・オフ動作に比べて遅く開始させる第2のタイミング制御手段を有するものであることを特徴とする請求項1記載の伝送線駆動回路。

【請求項4】 前記トランスは、インダクタンスが1mH以上、直列抵抗が5Ω以下、結合係数が0.999以上、等価容量が5pF以下とされ、12KHzから約16MHzの周波数帯域を持つものであることを特徴とする請求項1乃至3の何れか1項記載の伝送線駆動回路。

【請求項5】 前記トランスの1次側と2次側のコイルの巻数比が1:1であることを特徴とする請求項1乃至4の何れか1項記載の伝送線駆動回路。

【請求項6】 前記出力ドライバ回路の電源電圧は3.3ボルトであることを特徴とする請求項1乃至5の何れか1項記載の伝送線駆動回路。

【請求項7】 伝送線を介して受信回路に1対1対応で接続されるATM-LAN物理レイヤ用の出力ドライバ回路であって、

Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを直列接続した第1及び第2の対を夫々備えたCMOS出力段を複数段含み、各CMOS出力段の前記Pチャンネル型MOSトランジスタのソース

は電源電圧に、Nチャンネル型MOSトランジスタのソースは接地電位に結合され、各段における前記第1の対を構成するMOSトランジスタの共通ドレインは一方の送信端子に、各段における前記第2の対を構成するMOSトランジスタの共通ドレインは他方の送信端子に結合された出力回路と、

前記電源電圧と接地電位とを動作電源とし、前記各CMOS出力段の前記第1の対と第2の対を相互に逆相でプッシュプル動作させると共に、前記複数のCMOS出力段のプッシュプル動作のタイミングを相互にずらす出力制御回路と、を備えて成るものであることを特徴とする出力ドライバ回路。

【請求項8】 伝送線を介して受信回路に1対1対応で接続されるATM-LAN物理レイヤ用の出力ドライバ回路であって、

Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを直列接続した第1及び第2の対を夫々備えた複数のCMOS出力段を含み、各CMOS出力段の前記Pチャンネル型MOSトランジスタのソースは電源電圧に、Nチャンネル型MOSトランジスタのソースは接地電位に結合され、各CMOS出力段における前記第1の対を構成するMOSトランジスタの共通ドレインは一方の送信端子に、各段における前記第2の対を構成するMOSトランジスタの共通ドレインは他方の送信端子に結合された出力回路と、

前記電源電圧及び接地電位を動作電源とし、各CMOS出力段の前記第1の対と第2の対を相互に逆相でプッシュプル動作させると共に、所定のCMOS出力段における前記MOSトランジスタのターン・オン動作をターン・オフ動作に比べて遅く開始させる出力制御回路と、を備えて成るものであることを特徴とする出力ドライバ回路。

【請求項9】 前記第1及び第2の対から成るCMOS出力段を3段並列的に供え、

前記出力制御回路は、第1のCMOS出力段に含まれるMOSトランジスタのターン・オン動作に対して、第2のCMOS出力段に含まれるMOSトランジスタのターン・オン動作を第1の時間だけ遅延させる第1の遅延手段と、第2のCMOS出力段に含まれるMOSトランジスタのターン・オン動作に対して、第3のCMOS出力段に含まれるMOSトランジスタのターン・オン動作を第2の時間だけ遅延させる第2の遅延手段とを備えて成るものであることを特徴とする請求項8記載の出力ドライバ回路。

【請求項10】 前記第1及び第2の対から成るCMOS出力段を3段並列的に供え、第1のCMOS出力段を構成するMOSトランジスタのサイズと、第2のCMOS出力段を構成するMOSトランジスタのサイズと、第3のCMOS出力段を構成するMOSトランジスタのサイズとの比が、大凡、1:2.5:6.25とされ、

前記出力制御回路は、前記第1のCMOS出力段に含まれるMOSトランジスタのターン・オン動作に対して、前記第2のCMOS出力段に含まれるMOSトランジスタのターン・オン動作を大凡3nsだけ遅延させ、前記第3のCMOS出力段に含まれるMOSトランジスタのターン・オン動作を大凡6nsだけ遅延させる遅延手段を備えて成るものであることを特徴とする請求項8記載の出力ドライバ回路。

【請求項11】 端末装置に装着され、伝送線に結合され、前記伝送線を介して前記端末装置に接続される他の端末装置との間で、ATM-LANのインタフェース制御を行う、ICカード化されたATM-LANアダプタカードであって、

ATM-LAN物理レイヤ用の送信回路及び受信回路を備えたATM-LAN物理レイヤ制御チップと、前記送信回路の出力インピーダンスを調整するための抵抗と、前記抵抗に直列接続された送信波形整形用のフィルタと、前記フィルタの出力を伝送線に与えるための送信用の結合トランスと、伝送線からの受信信号を前記受信回路に与える受信用の結合トランスと、ATM-LANのための送信及び受信のプロトコル処理を行う制御手段とをカード基板に供え、

前記ATM-LAN物理レイヤ制御チップの前記送信回路は、前記抵抗に結合された1対の送信端子を備えた出力ドライバ回路を含み、

前記出力ドライバ回路は、Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを直列接続した第1及び第2の対から成るCMOS出力段を含み、前記Pチャンネル型MOSトランジスタのソースは電源電圧に、Nチャンネル型MOSトランジスタのソースは接地電位に結合され、前記第1の対を構成するMOSトランジスタの共通ドレインは一方の送信端子に、前記第2の対を構成するMOSトランジスタの共通ドレインは他方の送信端子に結合された出力回路と、前記電源電圧と接地電位を動作電源とし、前記CMOS出力段の前記第1の対と第2の対を相互に逆相でプッシュプル動作させる出力制御回路と、を供えて成るものであることを特徴とするATM-LANアダプタカード。

【請求項12】 端末装置に装着され、伝送線に結合され、前記伝送線を介して前記端末装置に接続される他の端末装置との間で、ATM-LANのインタフェース制御を行う、ICカード化されたATM-LANアダプタカードであって、

ATM-LAN物理レイヤ用の送信回路及び受信回路を備えたATM-LAN物理レイヤ制御チップと、前記送信回路の出力インピーダンスを調整するための抵抗と、前記抵抗に直列接続された送信波形整形用のフィルタと、前記フィルタの出力を伝送線に与えるための送信用の結合トランスと、伝送線からの受信信号を前記受信回路に与える受信用の結合トランスとATM-LANのた

めの送信及び受信のプロトコル処理を行う制御手段とをカード基板に供え、

前記ATM-LAN物理レイヤ制御チップの前記送信回路は、前記抵抗に結合された1対の送信端子を備えた出力ドライバ回路を含み、

前記出力ドライバ回路は、Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを直列接続した第1及び第2の対から成るCMOS出力段を複数段含み、前記各CMOS出力段におけるPチャンネル型MOSトランジスタのソースは電源電圧に、Nチャンネル型MOSトランジスタのソースは接地電位に結合され、前記第1の対を構成するMOSトランジスタの共通ドレインは一方の送信端子に、前記第2の対を構成するMOSトランジスタの共通ドレインは他方の送信端子に結合された出力回路と、前記電源電圧と接地電位を動作電源とし、前記各CMOS出力段の前記第1の対と第2の対を相互に逆相でプッシュプル動作させると共に、夫々のCMOS出力段のプッシュプル動作のタイミングを相互にずらし、且つ、所定のCMOS出力段における前記MOSトランジスタのターン・オン動作をターン・オフ動作に比べて遅く開始させる出力制御回路と、を供えて成るものであることを特徴とするATM-LANアダプタカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM-LANのための伝送線駆動回路、出力ドライバ回路及びATM-LANアダプタカードに係り、例えば、ATM-LANの中で物理層インタフェースに使用される半導体集積回路化された出力ドライバ回路に用いて当該半導体集積回路の低電圧動作を可能とする技術に関する。

【0002】

【従来の技術】イーサネットの通称で呼ばれている、LAN (Local area network) の一つの仕様は、IEEE (Institute of Electrical and Electronics Engineers) 802.3によって標準化されている。そのような標準化に適合するトランシーバとしての媒体接続ユニット (Medium attachment unit) に関し、特開平4-213940号公報には、伝送媒体としてのツイストペア回線を駆動するためのCMOS形態のドライバ回路が示されている。

【0003】このドライバ回路は、PMOSトランジスタとNMOSトランジスタとを直列接続した第1の回路と、同じくPMOSトランジスタとNMOSトランジスタとを直列接続した第2の回路とを有する。前記各回路の前記NMOSトランジスタのソース端子は、接地電位以上の電位にバイアスされた基準電圧に結合され、各回路の前記PMOSトランジスタのソース端子は、電源電圧に結合されている。前記第1の回路に含まれるMOSトランジスタの共通ドレイン端子は第1の出力端子とさ

れ、前記第2の回路に含まれるMOSトランジスタの共通ドレイン端子は第2の出力端子とされる。更に、前記双方の出力端子は終端抵抗として機能するインピーダンスを以て接続されている。前記ドライブ回路は、入力差動信号に基づいて、前記第1の回路と第2の回路を夫々逆相で相補的にスイッチ動作させ、第1及び第2の出力端子を介して、ツイストペア回線を駆動する。

【0004】更に、特開平4-213940号公報は、前記CMOS形態のドライブ回路においては、伝送区切り信号の終わり(ETD)に起因するバックスイング若しくはアンダーシュートと呼ばれる問題に対処することが必要であることを示している。すなわち、前記ドライブ回路が分離変成器を含んでいる場合、変成器の入力がETDによってハイに保たれると、ETDがオフにされたとき、分離変成器は逆起電力によってバックスイングによるアンダーシュートを信号中に導入することになる。このバックスイングは無意味な信号遷移であり、その期間が長ければ、これが受信側で伝送の初めを示す有意の信号変化としてモニタされる虞があり、システム動作の能率を低下させることになる。そこで、前記バックスイングを許容範囲に抑えるために、ETDを終端するとき、前記第1の出力端子と第2の出力端子(前記インピーダンス)を短絡させるトランジスタを付加することが必要であるとされ、それによって、IEEE802.3による規格に適合するイーサネットのドライブ回路をCMOS化することができる、としている。

【0005】また今日、ATM(Asynchronous Transfer Mode; 非同期転送モード)技術のLANへの導入が進められようとしている。ATM技術の仕様化は米国で設立されたThe ATM Forumによって行われている。前記イーサネットは、複数のLANノードが1本の伝送媒体を共有するので、LANノードの数が多ければ多いほど一つのLANノード当たりで使用できる帯域(情報を送る伝送速度の幅)は減少し、多くのノードがほぼ同時に送信しようとしている状態では全体のスループットが急激に下がってしまうことになる。ATM技術が導入されたLAN(ATM-LANと称する)は、低速度の通信や情報量の少ない通信から高速高帯域の通信まで、通信中であっても帯域を自由に変わることができるATM交換の技術が導入され、送受信が1対1対応の関係で行われ、それによって、スループットを向上させた超高速転送を実現しようとする。

【0006】

【発明が解決しようとする課題】上記ATM-LANの物理層インタフェースに対しては、伝送効率を良くするために、スクランブル及び符号化との関係上、伝送情報における論理値"0"又は"1"の連続ビット数を制限し、夫々の連続ビット数毎にその波形を規定するためのテンプレート(パルスマスク)が制定され、標準化されている。例えば、既に仕様書として標準化されている上

記The ATM Forumの25Mb/sのATM-LAN用の物理層のためのテンプレートで規定する送信信号波形は単なる矩形波ではなく比較的高い精度を要求する形状の波形になっており、また、それによって規定される信号振幅には例えば2V程度(zero to peak)が要求される。そのような仕様を想定した場合には、ATM-LANの物理層インタフェースに使用される送信用のドライブ回路の後段にフィルタを設け、送信信号波形にそのようなテンプレートで規定される信号波形を満足させることが必要である。また、前記ドライブ回路の後段には出力インピーダンス調整用の抵抗を設けて伝送線路とのインピーダンスマッチングを図ることも当然必要になる。

【0007】上記ドライブ回路からの出力信号は上記フィルタやインピーダンスによる電圧損失若しくは電圧降下を生ずることが予想されるため、当該ドライブ回路の電源電圧は、前記テンプレートで規定される信号振幅を満足できるような比較的高いレベルであることが必要であり、むやみに低くすることはできない。

【0008】しかしながら、上記ドライブ回路は、出力バッファとしての性質上、比較的大きな電流供給能力を必要とするから、消費電力は電源電圧が高いほど多くなる。このため、ATM-LAN用の物理層インタフェースに利用されるドライブ回路を低電圧動作させる技術を確立しなければ、そのようなドライブ回路を含むことになるであろう、ATM-LAN物理層インタフェース用の半導体集積回路の動作電源電圧を低くできないことが明らかにされた。今日、携帯可能などころまで小型化されたパーソナルコンピュータや情報通信端末では、バッテリー駆動などを考慮して回路の低消費電力化が重要視されている。そのようなパーソナルコンピュータや情報通信端末に適用されるATM-LAN用のインタフェース回路若しくはICカード化されるATM-LANアダプタカードには上記物理層インタフェース用の半導体集積回路が搭載されるであろうことを考慮すれば、上記ドライブ回路の低電圧動作は、ATM-LANアダプタカードレベルでの低消費電力にも関わる、重要性を持つことが本発明者によって見出された。

【0009】本発明の目的は、ATM-LAN用の物理層インタフェースに利用されるドライブ回路を低電圧動作させる技術を提供することにある。

【0010】本発明の別の目的は、ATM-LANシステムに使用する物理層インタフェース用の半導体集積回路の電源電圧を低減可能とするATM-LAN物理レイヤ用の伝送線駆動回路を提供することにある。

【0011】本発明のその他の目的は、低電圧動作可能なICカード化されたATM-LAN用のアダプタカードを提供することにある。

【0012】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

## 【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】ATM-LANでは、送信回路(10)と受信回路(11)が1対1の関係を以て伝送線(3)で結合される。この送信回路(10)の出力ドライバ回路(50)に対しては、その出力回路(21)を、CMOS(相補型MOSトランジスタ回路)化して構成する。すなわち、前記出力回路(21)は、Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを直列接続した第1及び第2の対から成るCMOS出力段(51, 52, 57)を含み、前記Pチャンネル型MOSトランジスタのソースは電源電圧(V<sub>dd</sub>)に、Nチャンネル型MOSトランジスタのソースは接地電位(V<sub>ss</sub>)に結合され、第1の対を構成するMOSトランジスタの共通ドレインは一方の送信端子(T<sub>x</sub>A)に、第2の対を構成するMOSトランジスタの共通ドレインは他方の送信端子(T<sub>x</sub>B)に結合されて、成る。この出力回路を制御する出力制御回路(20)は、前記電源電圧と接地電位を動作電源とし、前記CMOS出力段の前記第1の対と第2の対を相互に逆相でプッシュプル動作させる。前記出力ドライバ回路の1対の送信端子は、出力インピーダンス調整用の抵抗(33, 34)に結合され、前記抵抗には送信波形を整形するためのフィルタ(35)の入力端子に結合され、前記フィルタの出力端子はトランス(36)の1次側が結合され(トランスの2次側は伝送線に結合される)、これによって、伝送線を介して受信回路に1対1対応で接続されるATM-LAN物理レイヤ用の伝送線駆動回路が形成される。

【0015】前記送信用の出力ドライバ回路(50)の出力回路(21)にCMOS出力段を採用することにより、電源電圧側に接続されたPチャンネル型MOSトランジスタのオン状態におけるゲート・ソース間電圧は、送信端子の電圧に依存されず、実質的に電源電圧のレベルとされ、直列接続されたNMOSトランジスタをプッシュプル動作させる形式の出力回路に比べ、出力回路を構成する電源電圧側のMOSトランジスタ(Q1, Q3, Q5, Q7, Q9, Q11)のオン抵抗を小さくできる。したがって、出力ドライバ回路の動作電圧の低電圧化はもとより、当該出力ドライバ回路を含むようなATM-LAN物理レイヤ制御用の半導体集積回路チップ(9)を構成する内部回路の動作電源電圧を低電圧化することができる。

【0016】上述のように、出力回路(21)をCMOS化して、その構成MOSトランジスタのオン抵抗を小さくすることにより、例えば、ATM\_Forum/94-1008R5に記載された25Mb/s(メガビット/秒)のATM-LAN用の物理レイヤのためのテンプレートで規定されるような所要の送信信号波形を満足するためのフィルタ

35(45)を用い、更に、出力インピーダンス調整用の抵抗(33, 34)を配置する場合にも、前記テンプレートで規定される信号振幅を、3.3[V]のような、5[V]に比べて低い電源電圧で得ることができる。このように、出力回路(21)をCMOS化することは、後述するATM\_Forum/94-1008R5に記載された25Mb/sのATM-LAN用物理レイヤに適用されるPMD半導体チップのような半導体集積回路チップ(9)の動作電源電圧の低電圧化に最適である。また、このことにより、トランス(36)の1次側コイルと2次側コイルの巻数比を1:1にしても、前記テンプレートを満足する出力信号振幅をた易く得ることができるから、出力回路に流れる動作電流を増やしてまでトランス(36)の2次側巻き数を増やすことを要せず、この点においても、上記ATM-LAN物理レイヤ制御用の半導体集積回路チップ(9)の低消費電力に寄与する。

【0017】前記トランスは、インダクタンスが1mH以上、直列抵抗が5Ω以下、結合係数が0.999以上、等価容量が5pF以下とされ、12KHz〜約16MHzの周波数帯域を持つ。

【0018】上記ATM-LAN物理レイヤ制御用の半導体集積回路チップ(9)への電源供給が断たれた状態において、当該半導体チップ(9)の出力ドライバ回路(50)の出力段を構成するPMOSトランジスタ(Q1, Q3, Q5, Q7, Q9, Q11)のN型ウェル領域は、電源電圧(V<sub>dd</sub>)が供給されず、フローティングの状態にされる。ATM-LANにおいては、前述のように、送信回路と受信回路が1対1の関係を以て伝送線に結合されているので、前記N型ウェル領域がフローティングの状態にされているときでも、当該PMOSトランジスタ(Q1, Q3, Q5, Q7, Q9, Q11)のドレインには、伝送線(3, 4)を介して高いレベルが供給されることはなく、当該ドレインからN型ウェルに大きな電流が流れず、PMOSトランジスタ(Q1, Q3, Q5, Q7, Q9, Q11)が破壊される虞はない。これに対し、CMOS形式の出力ドライバ回路を、一つの伝送線に複数の出力ドライバ回路の出力端子が共通接続されるイーサネットに適用した場合、あるノードの出力ドライバ回路の前記N型ウェル領域がフローティングの状態にされているとき、他のノードの出力動作によって、当該フローティングのN型ウェル領域に高いレベルが供給される虞があり、イーサネットの出力ドライバ回路の出力段をCMOS化した場合には、当該ドレインからNウェルに大きな電流が流れて、PMOSトランジスタが破壊される虞がある。

【0019】出力回路としての性質上、前記出力ドライバ回路(50)のCMOS出力段を構成するMOSトランジスタの電流供給能力(トランジスタサイズ)は比較的大きくされる。このとき、前記第1及び第2の対を夫々備えたCMOS出力段を並列に2段以上設け、前記各

段のプッシュプル動作のタイミングを相互にずらす第1のタイミング制御手段(54)を、前記出力制御回路(20)に採用する。これにより、CMOS出力段への電源電圧(V<sub>dd</sub>)の供給ライン及び接地電位(V<sub>ss</sub>)の供給ラインにおける単位時間当たりの電流の変化率を低減することができるから、電源ノイズを低減することができる。

【0020】前記CMOS出力段を構成するMOSトランジスタのターン・オン動作をターン・オフ動作に比べて遅く開始させる第2のタイミング制御手段(80, 81, 82, 83)を、前記出力制御回路(20)に採用することにより、過渡応答時にCMOS出力段に流れる貫通電流を低減でき、この点においても、電源ノイズの低減と低消費電力とに寄与する。

【0021】前記CMOS出力段を3段並列的に設けた場合、第1のCMOS出力段(52)を構成するMOSトランジスタのサイズと、第2のCMOS出力段(51)を構成するMOSトランジスタのサイズと、第3のCMOS出力段(57)を構成するMOSトランジスタのサイズとの比を、大凡、1:2.5:6.25とし、第1のCMOS出力段に含まれるMOSトランジスタのターン・オン動作に対して、第2のCMOS出力段に含まれるMOSトランジスタのターン・オン動作を大凡3n<sub>s</sub>遅延させ、第3のCMOS出力段に含まれるMOSトランジスタのターン・オン動作を大凡6n<sub>s</sub>遅延させる遅延手段(80, 81, 82, 83)を出力制御回路(20)に採用することにより、電源ノイズを著しく低減することができる。

【0022】端末装置に装着され、伝送線に結合され、前記伝送線を介して前記端末装置に接続される他の端末装置との間で、ATM-LANのインタフェース制御を行う、ICカード化されたATM-LANアダプタカード(200)は、ATM-LAN物理レイヤ用の送信回路(10)及び受信回路(11)を備えたATM-LAN物理レイヤ制御チップ(9)と、前記送信回路の出力インピーダンスを調整するための抵抗(33, 34)と、前記抵抗に直列接続された送信波形整形用のフィルタ(35)と、前記フィルタの出力を伝送線(3)に与えるための送信用の結合トランス(36)と、伝送線(4)からの受信信号を前記受信回路(11)に与える受信用の結合トランス(47)と、ATM-LANのための送信及び受信のプロトコル処理を行う制御手段(202, 203, 204, 205)とをカード基板(201)に供える。前記ATM-LAN物理レイヤ制御チップの前記送信回路(10)には上述の出力ドライバ回路(50)を採用できる。このとき、1対の送信端子(T<sub>x</sub>A, T<sub>x</sub>B)を備えた出力ドライバ回路(50)は、Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを直列接続した第1及び第2の対から成るCMOS出力段を複数段含み、前記各CMOS出

力段におけるPチャンネル型MOSトランジスタのソースは電源電圧(V<sub>dd</sub>)に、Nチャンネル型MOSトランジスタのソースは接地電位(V<sub>ss</sub>)に結合され、第1の対を構成するMOSトランジスタの共通ドレインは一方の送信端子(T<sub>x</sub>A)に、第2の対を構成するMOSトランジスタの共通ドレインは他方の送信端子(T<sub>x</sub>B)に結合された出力回路(21)と、前記電源電圧と接地電位を動作電源とし、前記各CMOS出力段の前記第1の対と第2の対を相互に逆相でプッシュプル動作させると共に、夫々のCMOS出力段のプッシュプル動作のタイミングを相互にずらし、且つ、所定のCMOS出力段における前記MOSトランジスタのターン・オン動作をターン・オフ動作に比べて遅く開始させる出力制御回路(図16の20)とを備えることができる。

【0023】PMD半導体チップ9が、3.3[V]の動作電源によって、ATM\_Forum/94-1008R5に記載された25Mb/sのATM-LAN用の物理レイヤのためのテンプレートで規定される送信信号波形を満足することにより、ATM-LAN物理レイヤ制御チップ(9)の消費電力を例えば200mW程度に低く抑えることができる。ATM-LAN物理レイヤ制御チップ(9)はATM-LANアダプタカード(200)の中で最も電力消費の大きな回路部分であるから、ATM-LAN物理レイヤ制御チップ(9)の消費電力を200mW程度に抑えることができるならば、ATM-LANアダプタカード(200)の全体的な消費電力を例えば1W程度に低減することができる。

【0024】

【発明の実施の形態】

《ATM-LAN物理レイヤのシステム構成》 図2は、ATM-LAN物理レイヤのシステム構成の一例を示す。ATM-LANは伝送線専有型のLANである。伝送線専有型のLANは、一つの伝送線にノードを一つだけ接続し、それをハブ等に集線して、交換するものである。図2において、1(1a~1i)はパーソナルコンピュータ又はワークステーション等の端末装置、2(2a~2i)は夫々の端末装置に1対1対応されて設けられたATM-LANインタフェース回路、3(3a~3i)、4(4a~4i)は伝送線、5は上記伝送線3, 4が集線されたATMハブ、6, 7は高速伝送用ケーブルである。

【0025】上記ATM-LANインタフェース回路2(2a~2i)とハブ5は、ATM-LAN用のPMD(Physical Media Dependent; 物理媒体依存)サブレイヤ用の半導体チップ(以下単にPMD半導体チップとも記す)9を含み、夫々のPMD半導体チップは送信回路10と受信回路11を備えている。上記ATM-LANインタフェース回路2(2a~2i)のPMD半導体チップ9とATMハブ5のPMD半導体チップ9は、相互に一方の送信回路10の出力が他方の受信回路11の入

力に伝送線3, 4で結合されている。尚、図示を省略するが、伝送線3, 4は、超広帯域特性を持つトランス（結合トランス）を介して送信回路10と受信回路11に結合されている。

【0026】前記ATMハブ5は、複数のPMD半導体チップ9の他に、伝送経路を切り替えるためのATM交換機としてのスイッチマトリクス12、ハブ間の伝送を高速で行う為の多重分離装置13を備える。多重分離装置13に結合された前記高速伝送用ケーブル6, 7にはハブ5と同様の別のハブやルータ等（図示せず）が接続される。図より明らかなように、ATM-LANは少なくとも物理レイヤにおいては、送信回路10と受信回路11の間での送受信が1対1の関係で実施される為、出力データの衝突は起こらない。

【0027】端末装置1から送信用のユーザデータがATM-LANインタフェース回路2に与えられると、ATM-LANインタフェース回路2はその情報を48バイトに区切り、宛先ヘッダ情報として5バイトのヘッダを付加し、合計53バイト固定長のセルと呼ばれる単位で当該情報を伝送線3から送信する。ATMハブ5は、伝送線3から送られてきたセルを受信回路11で受け取ると、セルに含まれる宛先ヘッダ情報に基づき、前記スイッチマトリクス12によって高速にセルを交換若しくはルーティングする。セルはルーティングによって目的の受信側端末装置1に向けて送り出される。目的の受信側端末装置のATM-LANインタフェース回路2に到着したセルは、宛先ヘッダの確認が行われ、元のユーザデータに復元される。受信側の端末装置が送信側と同一のATMハブ5に接続されたものでない場合には、セルの情報は多重分離装置13を介して高速伝送用ケーブル6に送り出される。

【0028】《PMD半導体チップ》 図3には前記PMD半導体チップ9のブロック図が示される。PMD半導体チップ9は、特に制限されないが、CMOS集積回路製造技術によって、単結晶シリコンなどの1個の半導体基板に形成されている。PMD半導体チップ9は、送信回路10と受信回路11を含み、代表的に示された外部端子として、一対の送信端子Tx A, Tx B、一対の受信端子Rx A, Rx B、データ出力端子Rx DATA、データ入力端子Tx DATA、クロック入力端子Tx CLK、クロック出力端子Rx CLKを有する。外部電源端子としては、3.3[V]のような電源電圧Vddが供給される端子と、0[V]のような接地電位Vssが供給される端子が示されている。

【0029】前記送信回路10は、D型ラッチのようなフリップフロップ25、出力制御回路20、及び出力回路21を供える。前記出力制御回路20及び出力回路21は送信用の出力ドライバ回路50を構成する。前記データ入力端子Tx DATAから入力されたデータはクロック信号Tx CLKに同期してフリップフロップ20に

ラッチされ、ラッチされたデータは出力制御回路20に供給される。出力制御回路20は、それに供給されたデータの論理値に従った制御信号を出力回路21に与え、これによって出力回路21は、端子Tx Aを電源電圧Vddに、端子Tx Bを接地電圧Vssに駆動し、或いは、端子Tx A, Tx Bをその逆の状態に駆動する。詳細については後で説明するが、出力回路21の駆動時には、その出力動作によって生ずる電源ノイズを小さくし、また、貫通電流を小さくする考慮が、回路構成上、払われている。

【0030】PMD半導体チップ9に含まれる受信回路11は、入力バッファ22、PLL回路23、出力ラッチ24を備える。前記受信端子Rx A, Rx Bには抵抗を220, 221を経由してボルテージフォロア回路22からバイアス電圧VBが供給されており、当該受信端子Rx A, Rx Bに入力された信号は、波形等化器223によって、伝送線上で劣化した波形の整形が行われる。

【0031】前記PLL回路23は、位相比較器(PC) 230、周波数比較器(FC) 231、信号検出回路(E-Det) 232、セクタ(SEL) 234、チャージポンプ(C-Pump) 235及び電圧制御発振器(VCO) 236を備える。周波数比較器231はクロック端子Tx CLKから入力されるクロック信号と電圧制御発振器236から帰還されるクロック信号との周波数差に応じた誤差信号を形成する。位相比較器230は波形等化器223の出力信号と電圧制御発振器236から帰還されるクロック信号との位相差に応じた誤差信号を形成する。信号検出回路232は、波形等化器223の出力に有効な信号成分が含まれているか否かを、例えばその信号のエネルギーに基づいて検出する。信号検出回路232は、有効な信号を検出しているときセクタ234に位相比較器230の出力を選択させ、有効な信号を検出していないときセクタ234に周波数比較器231の出力を選択させる。チャージポンプ235はセクタ234から出力される誤差信号に応じた電流を生成し、生成された電流は、チャージポンプ内部のローパスフィルタによって所定の電圧信号に変換される。電圧制御発振器236は、これに供給される電圧信号の電圧レベルに応じた発振周波数を持つ信号を出力する。

【0032】このPLL回路23は、波形等化器223の出力信号が有効な信号でないとき、クロック端子Tx CLKから供給されるクロック信号に対する同期化行っており、その後、波形等化器223の出力信号が有効になったときの、位相引き込みを能率的に行うことができるようにされる。波形等化器223の出力信号が有効になると、電圧制御発振器236の出力は、波形等化器223の出力信号に同期化されたクロック信号とされる。前記データラッチ24は電圧制御発振器236の出力クロック信号に同期して、波形等化器223の出力信号を



ラッチする。これにより、受信データがデータ出力端子  $R_x DATA$  から出力され、且つ、それに同期したクロック信号がクロック端子  $R_x CLK$  から出力される。

#### 【0033】《PMD半導体チップと伝送線との結合》

図1には、前記出力回路21の詳細な一例と共に、PMD半導体チップ9を伝送線3、4を介して1対1対応で接続した状態が示されている。送信用の前記PMD半導体チップ9は、送信状態、受信状態及び送受信状態の3つの内の何れかの状態を選択的に採り得る。したがって、PMD半導体チップ9の内部においては、送信回路10と受信回路11は、同一半導体基板上において相互に一方は他方のノイズの影響を受けることになり、特に受信回路11は送信回路10が発生する電源ノイズの影響を受けやすいため、送信回路10の低ノイズ化が重要である。

【0034】図1において、伝送線3は31、32から成るツイストペア線として示され、伝送線4は41、42から成るツイストペア線として図示されている。ツイストペア線としては、STP（シールド付き150Ωツイストペア線）、UTP（非シールド100Ωツイストペア線）、FTP（非シールド120Ωツイストペア線）等を選択することができる。伝送線3によって接続される送信回路10と受信回路11との間の伝送経路には、送信回路10の送信端子  $T_x A$ 、 $T_x B$  に出力インピーダンス調整用の抵抗33、34介してフィルタ35の入力端子が結合され、フィルタ35の出力端子にはトランス36の1次側が結合される。このトランス36の2次側が伝送線3（31、32）の一端に結合され、伝送線3の他端はトランス37の1次側に結合される。このトランス37の2次側は受信回路11の受信端子  $R_x A$ 、 $R_x B$  に結合され、伝送線3によって接続される送信回路10と受信回路11との間の伝送経路は受信回路11にて終端されている。同様に、伝送線4によって接続される送信回路10と受信回路11との間の伝送経路には、送信回路10の送信端子  $T_x A$ 、 $T_x B$  に出力インピーダンス調整用の抵抗43、44介してフィルタ45の入力端子が結合され、フィルタ45の出力端子にはトランス46の1次側が結合される。このトランス46の2次側が伝送線4（41、42）の一端に結合され、伝送線4の他端はトランス47の1次側に結合される。このトランス47の2次側は受信回路11の受信端子  $R_x A$ 、 $R_x B$  に結合され、伝送線4によって接続される送信回路10と受信回路11との間の伝送経路は受信回路11にて終端されている。尚、図1において、受信回路11及び送信回路10の詳細はATM-LANインタフェース2の側に対してだけ示しているが、ATMハブ5に含まれる受信回路11及び送信回路10も同様に構成されている。

【0035】《出力ドライバ回路の構成》 図1に示されるように、送信回路10の出力ドライバ回路50を構

成する前記出力回路21は、例えば第2の出力段51と第1の出力段52とを並列的に有する。第2の出力段51は、Pチャンネル型MOS（単にPMOSと記す）トランジスタQ1とNチャンネル型MOS（単にNMOSと記す）トランジスタQ2とを直列接続した第3のCMOS回路と、同じくPMOSトランジスタQ3とNMOSトランジスタQ4とを直列接続した第4のCMOS回路とを有する。第1の出力段52は、PMOSトランジスタQ5とNMOSトランジスタQ6とを直列接続した第1のCMOS回路と、同じくPMOSトランジスタQ7とNMOSトランジスタQ8とを直列接続した第1のCMOS回路とを有する。前記NMOSトランジスタQ2、Q4、Q6、Q8のソース端子は、接地電位  $V_{ss}$  に結合され、前記PMOSトランジスタQ1、Q3、Q5、Q7のソース端子は、電源電圧  $V_{dd}$  に結合されている。前記PMOSトランジスタQ1とNMOSトランジスタQ2との共通ドレインは、前記PMOSトランジスタQ5とNMOSトランジスタQ6との共通ドレインに結合され、その結合点が一方の送信端子  $T_x A$  に結合されている。同様に、前記PMOSトランジスタQ3とNMOSトランジスタQ4との共通ドレインは、前記PMOSトランジスタQ7とNMOSトランジスタQ8との共通ドレインに結合され、その結合点が他方の送信端子  $T_x B$  に結合されている。

【0036】前記出力制御回路20は、前記フリップフロップ25から出力される信号  $V_s$  の論理値を反転させるCMOSインバータ53、信号  $V_s$  を遅延させる遅延回路54、及び当該遅延回路54の出力の論理値を反転するCMOSインバータ55を含む。PMOSトランジスタQ7及びNMOSトランジスタQ8のゲートには信号  $V_s$  が供給され、PMOSトランジスタQ5及びNMOSトランジスタQ6のゲートにはCMOSインバータ53の出力が与えられる。PMOSトランジスタQ3及びNMOSトランジスタQ4のゲートには遅延回路54の出力が供給され、PMOSトランジスタQ2及びNMOSトランジスタQ1のゲートにはCMOSインバータ55の出力が与えられる。前記遅延回路54は、信号  $V_s$  の論理値が変化されたとき、第2の出力段51を構成するCMOS回路の過渡応答タイミングを、第1の出力段52を構成するCMOS回路の過渡応答タイミングと相違させるものであり、例えば偶数段のCMOSインバータを直列接続して所要の遅延時間を得ることができる。

【0037】前記入力信号  $V_s$  が "H" レベル（電源電圧  $V_{dd}$  のレベル）にされると、NMOSトランジスタQ8及びPMOSトランジスタQ5がオン状態にされ、PMOSトランジスタQ7及びNMOSトランジスタQ6がオフ状態にされることによって、送信端子  $T_x A$  から  $T_x B$  に向かってトランス36の1次側コイルに電流が流れる。続いて遅延回路54の出力が所定の遅延時間

後にハイレベルにされると、NMOSトランジスタQ4及びPMOSトランジスタQ1がオン状態にされ、PMOSトランジスタQ3及びNMOSトランジスタQ2がオフ状態にされることにより、送信端子Tx AからTx Bに向かってトランス36の1次側コイルに流れる電流が更に増大される。また、前記入力信号Vsがローレベル（接地電圧Vssレベル）にされると、PMOSトランジスタQ7及びNMOSトランジスタQ6がオン状態にされ、NMOSトランジスタQ8及びPMOSトランジスタQ5がオフ状態にされることによって、送信端子Tx BからTx Aに向かってトランス36の1次側コイルに電流が流れる。続いて遅延回路54の出力が所定の遅延時間後にローレベルにされると、PMOSトランジスタQ3及びNMOSトランジスタQ2がオン状態にされ、NMOSトランジスタQ4及びPMOSトランジスタQ1がオフ状態にされることにより、送信端子Tx BからTx Aに向かってトランス36の1次側コイルに流れる電流が更に増大される。この結果、入力信号Vsがパルス状に変化されると、トランス36の1次側にパルス電圧が発生し、これに基づいてトランス36の2次側にはコイルの巻線比に応じたパルス電圧が発生する。トランス36の2次側に発生したパルス電圧は伝送線3に伝達され、受信側のトランス37を介して受信回路11の受信端子Rx A, Rx Bにパルス電圧が与えられる。受信端子Rx A, Rx Bは、その間に配置された直列抵抗220, 221の結合点にバイアス電圧VBが与えられており、受信端子Rx A, Rx Bに入力されたパルス電圧信号は前記波形等化器223により波形整形されて内部に取り込まれる。

#### 【0038】《第1出力段と第1の出力段の順次駆動》

図1の出力ドライバ回路50は、上述のように、信号Vsの変化に対して、第2の出力段51を構成するMOSトランジスタがオン動作及びオフ動作を開始するタイミングと、第1の出力段52を構成するMOSトランジスタがオン動作及びオフ動作を開始するタイミングとが、ずらされているので、電源電圧Vddの供給ライン及び接地電位Vssの供給ラインにおける単位時間当たりの電流の変化率を低減することができる。これにより、PMD半導体チップ9内部の電源電圧Vddの供給ライン及び接地電位Vssの供給ラインにおける電源ノイズを低減することができる。図1の例では出力段を2段で構成したが、そのような電源ノイズの低減という観点においては、出力段を3段以上として出力ドライバ回路を構成することも可能である。

【0039】《出力段のCMOS化》 図1の出力ドライバ回路50を構成する出力回路21は、上述のように、CMOS化されている。したがって、MOSトランジスタQ1～Q8のゲート・ソース間電圧は、トランス36の1次側コイルに接続する送信端子Tx A, Tx Bの電圧の影響を受けない。図1の実施例に従えば、PM

D半導体チップ9の各内部回路の動作電源は電源電圧Vdd及び接地電圧Vssとされ、したがって、出力回路21の動作電源は電源電圧Vdd及び接地電圧Vssとされ、出力回路21のMOSトランジスタQ1～Q8はそのゲートに選択的に供給される電源電圧Vdd又は接地電圧Vssによってスイッチ制御されるから、オン状態におけるMOSトランジスタQ1～Q8のゲート・ソース間電圧は電源電圧Vddのレベルにされる。したがって、トランス36のインピーダンスに比べてMOSトランジスタQ1～Q8のオン抵抗を十分に小さくすることが容易である。

【0040】これに対し、図4に示されるように、電源電圧Vddと接地電位Vssを動作電源とするNMOSトランジスタQ20, Q21の直列回路とNMOSトランジスタQ22, Q23の直列回路とが逆相でプッシュプル動作される出力回路を構成した場合には、NMOSトランジスタQ20, Q22のゲート・ソース間電圧は送信端子Tx Aの電圧に依存することになり、当該出力回路及びその制御回路を単一動作電源で動作させようとする場合には、当該NMOSトランジスタQ20, Q22がオン状態にされるときにゲート・ソース間電圧に電源電圧Vddのレベルを与えることはできない。当該NMOSトランジスタQ20, Q22がオン状態にされるときにゲート・ソース間電圧に電源電圧Vddのレベルを与えてMOSトランジスタQ20, Q22のオン抵抗を充分小さくしようとするならば、信号Vsの振幅を電源電圧Vdd以上とし、且つインバータ56の動作電源電圧を電源電圧Vdd以上にすることが必要になる。

【0041】例えば、 $\beta$ をMOSトランジスタの構成で決まる定数、 $W$ をMOSトランジスタのゲート幅、 $L$ をMOSトランジスタのゲート長、 $V_{GS}$ をMOSトランジスタのゲート・ソース間電圧、 $V_{th}$ をMOSトランジスタのしきい値電圧、 $V_{DS}$ をMOSトランジスタのドレイン・ソース間電圧とすると、非飽和領域におけるMOSトランジスタのドレイン・ソース間電流の近似式より、MOSトランジスタの交流的なオン抵抗 $R_m$ は、 $R_m = 1 / \{ \beta \times W / L \times (V_{GS} - V_{th} - V_{DS}) \}$

と表すことができる。このとき、図1のCMOS化された出力回路21の場合には、PMD半導体チップ9の動作電源がVddとVssの単一動作電源とされる場合にも、 $V_{GS}$ は電源電圧Vddのレベルにされるから、 $R_m = 1 / \{ \beta \times W / L \times (V_{dd} - V_{th} - V_{DS}) \}$

と表すことができる。これにより、MOSトランジスタQ1～Q8のオン抵抗は、電源電圧Vddと接地電位VssのレベルそしてMOSトランジスタのサイズだけで決まり、小さくすることができる。これに対し、図4の場合、NMOSトランジスタQ20, Q22のゲート電圧を電源電圧Vdd以上にしなければNMOSトランジ

スタQ20、Q22のゲート・ソース間電圧VGSを電源電圧Vddのレベルにすることはできない。

【0042】したがって、出力回路を構成するMOSトランジスタのオン抵抗を小さくしなければならないとき、PMD半導体チップ9を構成する内部回路の動作電圧を低電圧化しようとするならば、出力ドライバ回路50の出力回路をCMOS化することが必須であると考えられる。

【0043】《ATM-LAN物理レイヤの仕様》 次に、図1で説明した回路構成をATM-LANの特定の仕様に適合させる場合について説明する。ATMをユーザの使いやすいネットワーク構築技術として普及させるために設立された、前記TheATM Forum（以下ATMフォーラムと記す）は、ATMの技術仕様を作成しているが、ATM-LANに関してもその分科会（Working group）が存在する。今日、25Mb/s（Megabit/sec）のATM-LAN（物理レイヤにおけるデータ伝送速度は32Mb/s）についても、そのインタフェース仕様が制定されようとしており、ここでは、特にそれにおける物理レイヤの仕様に着目する。この仕様（単に着目仕様と記す）は、ATMフォーラムにおいて、未だ仕様書として標準化されるには至っていない。

【0044】図5～図9はそのような物理レイヤに関する草案を示すATM\_Forum/94-1008R5の第4～第8頁に記載されたテンプレート（パルスマスク）を示すものである。その草案の著作権はATMフォーラムが保有している。上記ATM-LANの物理レイヤインタフェースにおいては、伝送効率を良くするために、スクランブル及び符号化との関係上、伝送情報における論理値“0”又は“1”の連続ビット数（シンボル数）を5シンボルに制限する。テンプレートは、同一論理値のシンボル数毎にその波形（トランスの出力波形）を規定するための規格である。図5は同一論理値のシンボル数が1シンボルの場合（1ビット連続データ繰返し）、図6は2シンボルの場合（2ビット連続データ繰返し）、図7は3シンボルの場合（3ビット連続データ繰返し）、図8は4シンボルの場合（4ビット連続データ繰返し）、図9は5シンボルの場合（5ビット連続データ繰返し）を示す。各図のテンプレートは、それが規定するシンボル数の波形に対し、横軸は時間の相対値（%）、縦軸は振幅（zero-to-peak）の相対値を示す。テンプレートは、上限波形と下限波形を規定し、実際の出力波形はその間の波形であればよいとされる。テンプレートが規定する波形の横軸の実際の時間は転送レートとシンボル数から決まる。テンプレートが規定する波形の縦軸の実際の振幅は、伝送線の種類に応じて規定されている振幅と縦軸の相対値とによって決まる。例えば、ATM\_Forum/94-1008R5において、送信回路のピーク値からピーク値（peak-to-peak）の送信振幅（Transmitter Launch Amplitude=TLA）は、UTPの場合は2.7[V]<TLA<

3.4[V]、STPの場合は3.3[V]<TLA<4.2[V]、FTPの場合は2.95[V]<TLA<3.75[V]と規定されている。したがって、各テンプレートにおいて、縦軸の相対値1は、伝送線の種類で規定される前記peak-to-peakの振幅の範囲の半分の値に相当するzero-to-peakの振幅の範囲の中心値として把握される。

【0045】図5～図9に示されるテンプレートを満足する送信波形をトランス36、46の2次コイル側から送信するために、図1に示される前記フィルタ35、45が設けられている。前記フィルタ35、45の一例を図10に等価回路で示す。この回路により、送信端子Tx A、Tx Bから出力されるほぼ矩形のパルス信号を前記テンプレートを満足する波形の信号に整形する。

【0046】上記ATM-LANの物理レイヤに関し、ATM\_Forum/94-1008R5は更に、送信回路のリターンロス（Transmitter Return Loss=TRL）を規定する。リターンロスは、1～6MHzの周波数帯域では14dB以上、6～17MHzの周波数帯域では12dB以上、17～25MHzの周波数帯域では8dB以上と規定される。ここでリターンロスについて図11を参照しながら説明する。図11は、理解を容易化するために（A）に示すように、信号源Vs、信号源側のインピーダンスr0、トランス、伝送線、負荷側のインピーダンスRLをモデル化し、それを（B）に示されるように等価回路として表す。図11においてLはトランスのインダクタンス、rtはトランスの直列抵抗、kはトランスの結合係数である。k・Lはトランスの主磁束によるインダクタンス、（1-k）・Lは漏れインダクタンスである。信号源Vsから負荷側を見たときのインピーダンスZLは、

$$ZL = r_t + j\omega(1-k)L + \{ \omega^2 k L^2 (1-k) + j\omega k L (r_t + RL) \} / (r_t + RL + j\omega L)$$

と表される。ここで $\omega = 2\pi f$ 、fは周波数である。【0047】上記インピーダンスZLの式において、 $k \approx 1$ 、 $\omega L \gg r_t + RL$ とすると、インピーダンスZLは、 $ZL \approx 2r_t + RL$ に簡略化できる。

【0048】リターンロスの定義は、 $10 \cdot \log(1/P^2)$ であり、P（反射率）は、 $P = |(r_0 - ZL) / (r_0 + ZL)|$ である。したがって、ATM\_Forum/94-1008R3が規定するリターンロスを比較的容易に満足させるには、上記 $k \approx 1$ 、 $\omega L \gg r_t + RL$ の条件を満足する高性能なトランスを利用する事が望ましい。これを考慮すると、実際に利用するトランス36、37、46、47の望ましい仕様の一例は、インダクタンス（L）=1mH、直列抵抗（rt）=5Ω、結合係数（k）=0.999、等価容量=5pFである。尚、インダクタンス（L）を1mH以上、直列抵抗（rt）を5Ω以下、結合係数（k）を0.999以上、等価容量を5pF以下であっても、同様に望ましい仕様とすることがで

きる。

【0049】そして、25Mb/sのATM-LAN（物理レイヤにおけるデータ伝送速度は32Mb/s）に利用されるトランス36、37、46、47は、12KHz～約16MHzの超広帯域特性が必要とされる。帯域の下限はATM\_Forum/94-1008R3に規定され、帯域の上限は、その物理レイヤにおけるデータ伝送速度が32Mb/sであることから決まる。

【0050】《ATM-LAN物理レイヤの仕様と出力段のCMOS化との関係》 前述の如く、ATM\_Forum/94-1008R5に記載された25Mb/sのATM-LAN用の物理レイヤのためのテンプレートで規定される送信信号波形を満足するためには、図10に示されるような回路構成のフィルタ35（45）を要し、また、トランス36（46）からの送信信号には前記テンプレートで規定されるようにzero-to-peakで2V程度の信号振幅が要求される。その上、フィルタ35（45）の前段には伝送線側とのインピーダンスマッチングを図るための抵抗33（34）を設けて電圧反射の影響を最小限にしておかなければならない。

【0051】したがって、上記出力回路21から出力される信号は上記フィルタや抵抗による電圧損失若しくは電圧降下を生ずるため、前記テンプレートで規定される信号振幅を満足するという観点においては、当該出力回路21の出力段を構成するMOSトランジスタはそのオン抵抗が小さいほど望ましいと言える。上記したように、本実施例では出力段（出力回路21）がCMOS化されている（それを構成するMOSトランジスタのオン抵抗が小さい）結果、そのような事情の下において、特にPMD半導体チップ9の動作電圧の低電圧化を実現するのに最適である。したがって、本実施例では、電源電圧V<sub>dd</sub>は3.3[V]とされている。更に、出力段（出力回路21）がCMOS化されていること、すなわち電源電圧V<sub>dd</sub>側に接続されるMOSトランジスタのオン抵抗が小さくされていることにより、トランス36（46）の1次側コイルと2次側コイルの巻数比を1:1にしても、前記テンプレートを満足する出力信号振幅をた易く得ることができる。仮に、出力段をNMOSトランジスタだけで構成した場合に、NMOSトランジスタのオン抵抗が大きくても、トランスの2次側巻き数を増やせば、前記テンプレートを満足する出力信号振幅を得ることは可能であるが、その分、出力段に流れる電流量が増えることになり、低消費電力化に反する結果となる。本発明者は、出力ドライバ回路50を3.3[V]の電源電圧V<sub>dd</sub>で駆動して上記テンプレートの送信波形を満足する結果を、シミュレーションによって実際に得ることができた。

【0052】《出力段に含まれるPMOSトランジスタの非破壊》 PMD半導体チップ9への電源供給が断れた状態において、当該PMD半導体チップ9の出力カ

ライバ回路50の出力段を構成するPMOSトランジスタQ1、Q3、Q5、Q7のN型ウェル領域には、電源電圧V<sub>dd</sub>が供給されず、フローティングの状態にされる。このとき、図2及び図1から明らかなように、ATM-LANは少なくとも物理レイヤにおいては送受信が1対1の関係で実施される為、送信回路10には別の送信回路10からの信号は入力されない。したがって、前記N型ウェル領域がフローティングの状態にされているときでも、当該PMOSトランジスタQ1、Q3、Q5、Q7のドレインには、伝送線3を介して高いレベルが供給されることはなく、当該ドレインからNウェルに大きな電流が流れず、PMOSトランジスタQ1、Q3、Q5、Q7が破壊される虞はない。送信回路10には自分が出力した信号の反射信号だけが入力されることになるが、インピーダンスマッチングを図ることによって出力信号の反射は低減できる。

【0053】《出力段のラッチアップ対策》 図12には図1の第2の出力段を構成するMOSトランジスタQ1～Q4のレイアウト図が示される。図12において60、61はN型ウェル領域（N-WELL）、62、63はP型ウェル領域（P-WELL）、64～71はMOSトランジスタQ1～Q4のドレイン又はソースの電極、72はMOSトランジスタQ1、Q2のゲート、73はMOSトランジスタQ3、Q4のゲート、74、75はPMOSトランジスタの基板給電用の電極である。基板給電用の電極74、75には電源電圧V<sub>dd</sub>が供給される。図13には図12のa-a線矢視断面図が示されている。図より明らかなように、基板給電用の電極74はP-WELL63の隣に配置され、基板給電用の電極75はP-WELL62の隣に配置されている。図12のレイアウトによれば、同時にONするトランジスタの組み合わせはQ1とQ4又はQ2とQ3であり、Y方向に電位の勾配が生じる。すなわち、N-WELL60とP-WELL63の電位差、N-WELL61とP-WELL62の電位差が小さくされる。このとき、N-WELL60、61には、P-WELL62、63に隣接する領域で電極74、75から基板給電がなされているため、ラッチアップの防止が効果的に行われる。

【0054】《CMOS出力段の貫通電流低減》 図14には出力ドライバ回路50の別の構成が示される。図14において出力回路21を構成する第2の出力段51を構成するMOSトランジスタQ1～Q4のサイズ（ゲート幅/ゲート長）は、第1の出力段52を構成するMOSトランジスタQ5～Q8のサイズよりも大きくされる。図14の出力制御回路20は、図1と同様に第1の出力段52の出力動作の変化に遅れて第2の出力段51の出力を変化させるようにするが、第2の出力段51のMOSトランジスタサイズが相対的に大きいことに鑑み、過渡応答時に第2の出力段51に流れる貫通電流を少なくする考慮が払われている。すなわち、第1の出力

段52に対する制御は図1の場合と同じであるが、第2の出力段51に対しては、PMOSトランジスタへのスイッチ制御信号 $\phi p1$ 、 $\phi p2$ の立ち上がり変化の遅延を小さく（オフタイミングを相対的に早く）、その立ち下がり変化の遅延を大きく（オンタイミングを相対的に遅く）し、NMOSトランジスタへのスイッチ制御信号 $\phi n1$ 、 $\phi n2$ の立ち上がり変化の遅延を大きく（オンタイミングを相対的に遅く）、その立ち下がり変化の遅延を小さく（オフタイミングを相対的に早く）する遅延回路80、81を用いる。遅延回路80の入力は前記信号 $V_s$ とされ、遅延回路81の入力は入力信号 $V_s$ とは逆相のインバータ53の出力信号とされる。

【0055】図15には前記遅延回路80、81の回路構成例が示される。電源電圧 $V_{dd}$ と接地電位 $V_{ss}$ との間には、それぞれインバータとして機能される、PMOSトランジスタQ30とNMOSトランジスタQ31の直列回路、PMOSトランジスタQ32とNMOSトランジスタQ34の直列回路、及びPMOSトランジスタQ35とNMOSトランジスタQ37の直列回路が設けられ、MOSトランジスタQ32とQ34との間には遅延要素若しくは抵抗成分として作用するNMOSトランジスタQ33が介在され、MOSトランジスタQ35とQ37との間には遅延要素若しくは抵抗成分として作用するPMOSトランジスタQ36が介在されている。MOSトランジスタQ32、Q34、Q35、Q37のゲートはMOSトランジスタQ30とQ31との結合点に共通接続され、MOSトランジスタQ33のゲートは電源電圧 $V_{dd}$ に、MOSトランジスタQ36のゲートは接地電位 $V_{ss}$ に接続されている。遅延回路80において信号 $V_s$ はMOSトランジスタQ30とQ31のゲートに供給され、遅延回路81においてMOSトランジスタQ30とQ31のゲートには前記インバータ53の出力が供給される。スイッチ制御信号 $\phi p1$ （ $\phi p2$ ）はPMOSトランジスタQ32のドレインから出力され、スイッチ制御信号 $\phi n1$ （ $\phi n2$ ）はNMOSトランジスタQ37のドレインから出力される。

【0056】上記遅延回路80（81）によれば、その入力信号 $V_s$ （インバータ53の出力）の変化は、MOSトランジスタQ30～Q34で成る直列2段のインバータの動作遅延を経てスイッチ制御信号 $\phi p1$ （ $\phi p2$ ）に反映され、また、MOSトランジスタQ30、Q31、Q35～Q37で成る直列2段のインバータの動作遅延を経てスイッチ制御信号 $\phi n1$ （ $\phi n2$ ）に反映される。このとき、スイッチ制御信号 $\phi p1$ （ $\phi p2$ ）は、MOSトランジスタQ33のオン抵抗により、立ち上がり変化に比べて立ち下がり変化の遅延が大きくなり、また、スイッチ制御信号 $\phi n1$ （ $\phi n2$ ）は、MOSトランジスタQ36のオン抵抗により、立ち下がり変化に比べて立ち上がり変化の遅延が大きくなる。すなわち、第2の出力段51のMOSトランジスタQ1～Q

4は、オフ動作に比べて相対的にオン動作が遅れるようにされる。したがって、第2の出力段51は、出力状態を反転するとき、直列接続されたPMOSトランジスタとNMOSトランジスタが同時にオン状態にされず、過渡応答時に流れる貫通電流を低減することができる。出力回路21には相対的に大きな駆動能力若しくは電流供給能力が要求されるから、そのような貫通電流の低減は、PMD半導体チップ9の低消費電力、さらには電源ノイズの発生を著しく低減することができる。

【0057】《CMOS出力段の並列3段構成》 図16にはCMOS出力段を並列3段構成とした出力ドライバ回路50の実施例が示される。図16の出力回路21は、図14の出力回路に対して、第3の出力段57が加えられ、図16の出力制御回路20は、図14の出力制御回路に対して、遅延回路82、83が加えられている。

【0058】第3の出力段57は、PMOSトランジスタQ9とNMOSトランジスタQ10とを直列接続した第5のCMOS回路と、同じくPMOSトランジスタQ11とNMOSトランジスタQ12とを直列接続した第6のCMOS回路を有し、PMOSトランジスタQ9、Q11のソースが電源電圧 $V_{dd}$ に、NMOSトランジスタQ10、Q12のソースが接地電位 $V_{ss}$ に接続されている。PMOSトランジスタQ9とNMOSトランジスタQ10との共通ドレインは一方の送信端子 $T_xA$ に、PMOSトランジスタQ11とNMOSトランジスタQ12との共通ドレインは他方の送信端子 $T_xB$ に結合されている。

【0059】遅延回路82、83は図15に示される回路と同様に構成される。遅延回路82はスイッチ制御信号 $\phi p3$ をPMOSトランジスタQ11のゲートに供給し、スイッチ制御信号 $\phi n3$ をNMOSトランジスタQ12のゲートに供給する。遅延回路83はスイッチ制御信号 $\phi p4$ をPMOSトランジスタQ9のゲートに供給し、スイッチ制御信号 $\phi n4$ をNMOSトランジスタQ10のゲートに供給する。PMOSトランジスタ用のスイッチ制御信号 $\phi p3$ （ $\phi p4$ ）とNMOSトランジスタ用のスイッチ制御信号 $\phi n3$ （ $\phi n4$ ）との関係は、図15に基づいて説明した関係と同じであり、第3の出力段57のMOSトランジスタQ9～Q12は、オフ動作に比べて相対的にオン動作が遅れるようにされる。また、遅延回路82、83によって形成される遅延時間は前記遅延回路80、81によって形成される遅延時間よりも大きくされ、第3の出力段57の動作は第2の出力段51の動作に対して遅延されるようになっている。例えば信号 $V_s$ がローレベルからハイレベルに変化されると、第1の出力段52ではMOSトランジスタQ7、Q6がターン・オン、MOSトランジスタQ8、Q5がターン・オフを開始し、続いて第2の出力段51においてMOSトランジスタQ3、Q2がターン・オン、MOS

トランジスタ Q4, Q1 がターン・オフを開始し、最後に、第3の出力段 57 において MOS トランジスタ Q11, Q10 がターン・オン、MOS トランジスタ Q9, Q12 がターン・オフを開始する。そしてこのとき、第2及び第3の出力段 51, 57 では、オン状態にされるべき MOS トランジスタのターン・オン動作はオフ状態にされるべき MOS トランジスタのターン・オフ動作よりも遅れて開始される。したがって、図 16 の CMOS 出力段の並列 3 段構成は、図 14 の CMOS 出力段の並列 2 段構成よりも電源ノイズを低減することができると考えられる。

【0060】《CMOS 出力段のトランジスタサイズ比と遅延時間との最適化》次に上記電源ノイズに関するシミュレーション結果について説明する。図 17 にはシミュレーション対象回路が示される。図 17 に示される回路の動作電源は、電源電圧  $V_{dd} = 3.3$  [V]、接地電位  $V_{ss} = 0$  [V] とする。信号  $V_s$  はハイレベル  $= 3.3$  [V]、ローレベル  $= 0$  [V] とする。図 17 に示される MOS トランジスタの符号は図 16 とは相違され、MB1=Q5, MB2=Q6, MB3=Q7, MB4=Q8, MB7=Q1, MB8=Q2, MB9=Q3, MB10=Q4, MB11=Q9, MB12=Q10, MB13=Q11, MB14=Q12 の対応を有する。MB5, MB6 は図 16 の CMOS インバータ 53 を構成する MOS トランジスタを意味する。図 18 には遅延回路 80 (DEL1) と遅延回路 81 (DEL2) の構成が示され、図 19 には遅延回路 82 (DEL3) と遅延回路 83 (DEL4) の構成が示されている。図 18 及び図 19 に示される回路は図 15 とはトランジスタ符号が相違されるが、図 15 で説明した回路構成に対応される。

【0061】図 20 にはシミュレーション条件が示されている。シミュレーション条件は #1~#10 とされる。条件 #1 は図 17 とは相違され、出力回路を 1 段の CMOS 出力段で構成した場合であり、例えば、図 17 と比べるとトランジスタサイズは相違されるが、第1の出力段 52 によって出力回路を構成した場合である。条件 #2~#10 は図 17、図 18 及び図 19 に示される通りの回路を用いた場合である。図 17~図 19 の回路において電源電圧  $V_{dd}$  を 3.3 [V]、接地電位  $V_{ss}$  を 0 [V] とし、入力信号  $V_s$  のハイレベルを電源電圧レベル、そのローレベルを地電位レベルとする。

【0062】図 20 に示される条件 #2~条件 #6 は、遅延回路 80, 81 (DEL1, DEL2) の遅延時間を 2 ns、遅延回路 82, 83 (DEL3, DEL4) の遅延時間を 4 ns というように一定化にし、その状態で、3 段の CMOS 出力段を構成するトランジスタサイズを段毎に相違させたものである。このシミュレーションにおいて着目する遅延時間とは、信号  $V_s$  が変化してから PMOS トランジスタのゲート制御信号がローレベ

ルに変化されるまでの遅延時間と、NMOS トランジスタのゲート制御信号がハイレベルに変化されるまでの遅延時間とされる。すなわち、信号  $V_s$  が変化してから PMOS トランジスタ又は NMOS トランジスタがターン・オンされるまでの遅延時間に着目する。信号  $V_s$  が変化してから PMOS トランジスタ又は NMOS トランジスタがターン・オフされるまでの遅延時間に対しては積極的に制御若しくは着目しておらず、特に問題はない。

【0063】図 20 のトランジスタサイズ比の項目に示されている  $b : c : d$  は第1の CMOS 出力段 52 : 第2の CMOS 出力段 51 : 第3の CMOS 出力段 57 を意味する。条件 #7~#10 は、3 段の CMOS 出力段を構成するトランジスタサイズの段毎にトランジスタサイズ比を 1 : 2.5 : 6.25 (後で説明するように当該サイズ比は条件 #1~#6 に基づくシミュレーション結果から得られる電源電流ノイズ量を最小にする値である) にし、その場合に、遅延回路 80, 81 (DEL1, DEL2) の遅延時間と遅延回路 82, 83 (DEL3, DEL4) の遅延時間とを相違させたものである。トランジスタサイズ比はゲート幅/ゲート長 ( $W/L$ ) とする。上述のように、遅延回路 80~83 (DEL1~DEL3) の遅延時間は、出力制御回路に入力される信号  $V_s$  の変化に対して PMOS トランジスタに対してはそのゲート制御信号の立ち下りの遅延時間、NMOS トランジスタに対してはそのゲート制御信号の立ち上りの遅延時間を意味する。図 21 には上記条件 #1~#6 におけるトランジスタサイズ及び遅延時間を得るための各 MOS トランジスタのサイズの条件の一例が示されている。例えば、図 20 の条件 #8 において、遅延回路 DEL1, 2 の遅延時間 3 ns、遅延回路 DEL3, 4 の遅延時間 6 ns とあるのは、第2の CMOS 出力段 51 は第1の CMOS 出力段 52 に対して PMOS トランジスタ又は NMOS トランジスタがターン・オンするのに 3 ns 遅延し、第3の CMOS 出力段 57 は第2の CMOS 出力段に対して PMOS トランジスタ又は NMOS トランジスタがターン・オンするのに 3 ns 遅延することを意味する。

【0064】図 22 には、条件 #5, #7~#10 において遅延回路 DEL1~DEL4 に設定される遅延時間を得るときのトランジスタサイズ比の一例が示される。図 22 の備考欄に記載の、例えば  $W/L : MB18 : 7$  倍の表記は、MOS トランジスタ MB18 の  $W/L$  の値は 7 であることを意味する。

【0065】シミュレーションでは上記条件に基づいて電源電流  $I_{dd}$  の波形を得る。例えば図 23 の (A) には条件 #1 でシミュレーションを行ったときの電源電流波形が示され、図 23 の (B) には条件 #8 でシミュレーションを行ったときの電源電流波形が示される。各種条件によって得られた電源電流波形から電源ノイズを評価するために、図 24 の (A) に示されるように、出力

回路の過渡応答期間に相当される期間 ( $t_2 - t_1$ ) における、図中の斜線部分の電流値の総量  $I_{SUM}$  に着目して、評価値  $I_X = I_{SUM} / (t_2 - t_1)$  を取得する。したがって、 $I_X$  の値が小さいほど、出力回路の過渡応答動作において電源電流の変動 (電源電流ノイズ量) が小さいことになる。図24の (B) には上記条件 #1 ~ #6 に対する評価値  $I_X$  が示される。これによれば電源電流ノイズ量が最も小さいのは条件 #5 である。このような条件の出力ドライバ回路50を採用したときの前記トランス36からの出力電圧波形は、それによって何等悪影響を受けなかった。並列3段のCMOS出力段のトランジスタサイズ比を上記条件 #5 として、条件 #5, #7 ~ #10 に関し同じくシミュレーションで取得した評価値  $I_X$  は図24の (C) に示される。これによれば電源電流ノイズ量が最も小さいのは条件 #8 である。このような条件の出力ドライバ回路50を採用したときの前記トランス36からの出力電圧波形は、それによって何等悪影響を受けなかった。したがって、今回のシミュレーション結果からすれば、条件 #8 のトランジスタサイズ比と遅延時間とを出力ドライバ回路50に採用することにより、電源ノイズを極めて小さくすることができると言うことが実証される。

【0066】《ATM-LANカード》 図25にはATM-LANアダプタカードの一実施例が示される。同図に示されるATM-LANアダプタカード200は、ICカード、例えばPCMCIA (Personal Computer Memory Card International Association) の規格に対応されたICカードとして構成され、前記ATM-LANインタフェース回路2の一例として位置付けられる。このATM-LANアダプタカード200は、表面又は及び裏面に所要の配線が施されたカード基板201に、それぞれ個々に半導体集積回路化された、マイクロプロセッサ202、マイクロプログラム等が格納されたファームウェアとされるROM203、マイクロプロセッサのワーク領域とされるRAM204、ATMコントローラ205、送信データバッファ及び受信データバッファ等に利用されるRAM206、物理レイヤ制御チップとしての前記PMD半導体チップ9、及びフィルタ・トランス207が実装されて構成される。ATMコントローラ205は前記PCMCIAの規格に適合するインタフェース仕様を以てパーソナルコンピュータ等の端末装置1に着脱可能に装着される。前記フィルタ・トランス207はツイストペア線のような伝送線に接続される。前記フィルタ・トランス207は図14等で説明した出力抵抗33, 34、フィルタ35及びトランス36を含んで1チップ化されている。

【0067】ATMコントローラ205は、端末装置から供給されるデータに対して、スクランブル及びコード化の処理を経てセルを形成し多重化してPMD半導体チップに9に渡す。また、ATMコントローラ205は、

PMD半導体チップ9が受信した情報を受け取ると、宛先ヘッダの確認を行って、セルの分解及び復号化の処理を行う。ATMコントローラ205の制御は、ROM203に格納されたプログラムに従ってマイクロプロセッサ202が行う。前記マイクロプロセッサ202、ROM203、RAM204、ATMコントローラ205はATM-LANの伝送プロトコルを制御する制御手段として機能される。

【0068】上記PMD半導体チップ9は、前記説明から明かなように、3.3 [V] の動作電源によって、ATM\_Forum/94-1008R5に記載された25Mb/sのATM-LAN用の物理レイヤのためのテンプレートで規定される送信信号波形を満足し、また、トランス36 (46) からの送信信号には前記テンプレートで規定されるようにzero-to-peakで2V程度の信号振幅を満足する。これにより、PMD半導体チップ9の消費電力を例えば200mW程度に低く抑えることができる。PMD半導体チップ9はATM-LANアダプタカード200の中で最も電力消費量の大きな回路部分である。本発明者の試算によれば、PMD半導体チップ9の消費電力を200mW程度に抑えることができるならば、ATM-LANアダプタカード200の全体的な消費電力を1W程度に低減できることが明らかにされた。

【0069】《実施例の作用効果》 以上説明した実施例によれば以下の作用効果を得ることができる。

【0070】〔1〕出力ドライバ回路50の出力回路21をCMOS化することにより、直列接続されたNMOストランジスタをプッシュプル動作させる形式の出力回路に比べ、出力回路を構成するMOSトランジスタのオン抵抗を、小さくでき、PMD半導体チップ9を構成する内部回路の動作電源電圧を低電圧化することができる。

【0071】〔2〕出力回路をCMOS化して、その構成MOSトランジスタのオン抵抗を小さくすることにより、ATM\_Forum/94-1008R5に記載された25Mb/sのATM-LAN用の物理レイヤのためのテンプレートで規定される送信信号波形を満足するためのフィルタ35 (45) を用い、更に、出力インピーダンス調整用の抵抗33, 34を配置する場合にも、前記テンプレートで規定される信号振幅を、3.3 [V] のような、5

[V] に比べて低い電源電圧で得ることができる。このように、出力回路21をCMOS化することは、ATM\_Forum/94-1008R5に記載された25Mb/sのATM-LAN用物理レイヤに適用されるPMD半導体チップ9の動作電源電圧の低電圧化に最適である。また、このことにより、トランス36 (46) の1次側コイルと2次側コイルの巻数比を1:1にしても、前記テンプレートを満足する出力信号振幅をた易く得ることができるから、出力回路に流れる動作電流を増やしてまでトランスの2次側巻数数を増やすことを要せず、この点においても、

PMD半導体チップ9の低消費電力に寄与する。

【0072】〔3〕PMD半導体チップ9への電源供給が断たれた状態において、当該PMD半導体チップ9の出力ドライバ回路50の出力段を構成するPMOSTランジスタQ1、Q3、Q5、Q7、Q9、Q11のN型ウェル領域は、電源電圧V<sub>dd</sub>が供給されず、フローティングの状態にされる。ATM-LANでは送信回路と受信回路が1対1の関係を以て伝送線で結合されるから、前記N型ウェル領域がフローティングの状態にされているときでも、当該PMOSTランジスタQ1、Q3、Q5、Q7、Q9、Q11のドレインには、伝送線3を介して高いレベルが供給されることはなく、当該ドレインからN型ウェルに大きな電流が流れず、PMOSTランジスタQ1、Q3、Q5、Q7が破壊される虞はない。これに対し、CMOS形式の出力ドライバ回路を、一つの伝送線に複数の出力ドライバ回路の出力端子が共通接続されるイーサネットに適用した場合、あるノードの出力ドライバ回路の前記N型ウェル領域がフローティングの状態にされているとき、他のノードの出力動作によって、当該フローティングのN型ウェル領域に高いレベルが供給される虞があり、これによって、当該ドレインからNウェルに大きな電流が流れて、PMOSTランジスタが破壊される虞がある。

【0073】〔4〕ATM-LAN物理レイヤの送信出力ドライバ回路50を、図1、図14及び図16で説明したように、2段以上のCMOS出力段52、51、57を並列配置し、夫々を駆動するタイミングを出力制御回路20によって少しづつずらすことにより、電源電圧V<sub>dd</sub>の供給ライン及び接地電位V<sub>ss</sub>の供給ラインにおける単位時間当たりの電流の変化率を低減することができる。これにより、PMD半導体チップ9内部の電源電圧V<sub>dd</sub>の供給ライン及び接地電位V<sub>ss</sub>の供給ラインにおける電源ノイズを低減することができる。

【0074】〔5〕その場合に、図20のシミュレーション条件と図24のシミュレーション結果からも明らかなように、最初に出力動作される出力段に比べて後から出力動作される出力段を構成するMOSTランジスタのサイズを大きくする方が上記電源ノイズを小さくすることができる。

【0075】〔6〕図16に示されるように、第2及び第3の出力段51、57において、オン状態にされるべきMOSTランジスタのターン・オン動作を、オフ状態にされるべきMOSTランジスタのターン・オフ動作よりも遅れて開始させることにより、出力段51、57に流れる貫通電流を低減することができ、これによって、低消費電力はもとより電源ノイズも一層低減することができる。

【0076】〔7〕図20のシミュレーション結果から明らかなように、図16に示される並列3段の出力段を有する出力回路において、第1のCMOS出力段52：

第2のCMOS出力段51：第3のCMOS出力段57のトランジスタサイズ比を1：2.5：6.25近傍とし、遅延回路80、81の遅延時間を3ns近傍とし、遅延回路82、83の遅延時間を6ns近傍とする条件によって、電源ノイズを極めて小さくすることができる。

【0077】〔8〕PMD半導体チップ9が、3.3

[V]の動作電源によって、ATM\_Forum/94-1008R5に記載された25Mb/sのATM-LAN用の物理レイヤのためのテンプレートで規定される送信信号波形を満足することにより、PMD半導体チップ9の消費電力を200mW程度に低く抑えることができる。PMD半導体チップ9はATM-LANアダプタカード200の中で最も電力消費の大きな回路部分であるから、PMD半導体チップ9の消費電力を200mW程度に抑えることができるならば、ATM-LANアダプタカード200の全体的な消費電力を1W程度に低減することができる。

【0078】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0079】例えば、図1の並列2段構成の出力回路に対しても、図16の場合と同様に、オン状態にされるべきMOSTランジスタのターン・オン動作を、オフ状態にされるべきMOSTランジスタのターン・オフ動作よりも遅れて開始させるようにする事が可能である。また、出力ドライバ回路は、1段のCMOS出力段で構成することも可能である。1段のCMOS出力段の場合にも、それを構成するMOSTランジスタのターン・オン動作をターン・オフ動作に対して遅延させることができる。

【0080】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるATM\_Forum/94-1008R5に記載された25Mb/sのATM-LAN用物理レイヤに適用する場合について説明したが、本発明はそれに限定されるものではなく、将来標準化されるであろうその他のATM-LANの仕様に対しても適用可能である。本発明は、少なくともATM-LANの出力ドライバ回路の出力段をCMOS化する条件のものに適用することができる。

【0081】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0082】ATM-LANでは、送信回路と受信回路が1対1の関係を以て伝送線で結合され、当該送信回路(10)の出力ドライバ回路(50)に対しては、その出力回路(21)の出力段をCMOS化して構成するから、当該CMOS出力段に含まれる電源電圧側に接続されたPチャンネル型MOSTランジスタのオン状態にお



けるゲート・ソース間電圧は、送信端子の電圧に依存されず、実質的に電源電圧のレベルにすることができ、直列接続されたNMOSトランジスタをプッシュプル動作させる形式の出力回路に比べ、出力回路を構成する電源電圧側のMOSトランジスタ(Q1, Q3, Q5, Q7, Q9, Q11)のオン抵抗を小さくできる。したがって、出力ドライバ回路の動作電圧の低電圧化、そして、当該出力ドライバ回路を含むようなATM-LAN物理レイヤ制御用の半導体集積回路チップ(9)を構成する内部回路の動作電源電圧を低電圧化することができる。

【0083】上述のように、出力回路(21)をCMOS化して、その構成MOSトランジスタのオン抵抗を小さくすることにより、例えば、ATM\_Forum/94-1008R5に記載された25Mb/s(メガビット/秒)のATM-LAN用の物理レイヤのためのテンプレートで規定されるような所要の送信信号波形を満足するためのフィルタ35(45)を用い、更に、出力インピーダンス調整用の抵抗(33, 34)を配置する場合にも、前記テンプレートで規定される信号振幅を、3.3[V]のような比較的低い電源電圧で得ることができる。

【0084】出力回路(21)をCMOS化することは、ATM\_Forum/94-1008R5に記載された25Mb/sのATM-LAN用物理レイヤに適用される半導体集積回路チップ(9)の動作電源電圧の低電圧化に最適である。また、このことにより、トランス(36)の1次側コイルと2次側コイルの巻数比を1:1にしても、前記テンプレートを満足する出力信号振幅をた易く得ることができるから、出力回路に流れる動作電流を増やしてまでトランス(36)の2次側巻き数を増やすことを要せず、この点においても、上記ATM-LAN物理レイヤ制御用の半導体集積回路チップ(9)の低消費電力に寄与することができる。

【0085】ATM-LANにおいては、イーサネットとは異なり、送信回路と受信回路が1対1の関係を以て伝送線に結合されているので、CMOS出力段のN型ウェル領域がフローティングの状態にされているときでも、CMOS出力段のPMOSトランジスタ(Q1, Q3, Q5, Q7, Q9, Q11)のドレインには、伝送線(3, 4)を介して高いレベルが供給されることはなく、当該ドレインからN型ウェルに大きな電流が流れず、PMOSトランジスタ(Q1, Q3, Q5, Q7, Q9, Q11)が破壊される虞はない。

【0086】出力回路としての性質上、前記出力ドライバ回路(50)のCMOS出力段を構成するMOSトランジスタの電流供給能力(トランジスタサイズ)は比較的大きくされる。このとき、前記第1及び第2の対を夫々備えたCMOS出力段を並列に2段以上設け、前記各段のプッシュプル動作のタイミングを相互にずらす第1のタイミング制御手段(54)を、前記出力制御回路

(20)に採用することにより、CMOS出力段への電源電圧(Vdd)の供給ライン及び接地電位(Vss)の供給ラインにおける単位時間当たりの電流の変化率を低減することができるから、電源ノイズを低減することができる。

【0087】前記CMOS出力段を構成するMOSトランジスタのターン・オン動作をターン・オフ動作に比べて遅く開始させる第2のタイミング制御手段(80, 81, 82, 83)を、前記出力制御回路(20)に採用することにより、過渡応答時にCMOS出力段に流れる貫通電流を低減でき、この点においても、電源ノイズの低減と低消費電力とに寄与する。

【0088】前記CMOS出力段を3段並列的に設けた場合、第1のCMOS出力段(52)を構成するMOSトランジスタのサイズと、第2のCMOS出力段(51)を構成するMOSトランジスタのサイズと、第3のCMOS出力段(57)を構成するMOSトランジスタのサイズとの比を、大凡、1:2.5:6.25とし、第1のCMOS出力段に含まれるMOSトランジスタのターン・オン動作に対して、第2のCMOS出力段に含まれるMOSトランジスタのターン・オン動作を大凡3ns遅延させ、第3のCMOS出力段に含まれるMOSトランジスタのターン・オン動作を大凡6ns遅延させる遅延手段(80, 81, 82, 83)を出力制御回路(20)に採用することにより、電源ノイズを著しく低減することができる。

#### 【図面の簡単な説明】

【図1】ATM物理レイヤのためのPMD半導体チップを伝送線を介して1対1対応で接続した状態を以て送信用の出力ドライバ回路の一例を示す回路図である。

【図2】ATM-LAN物理レイヤのシステム構成の一例を示すブロック図である。

【図3】PMD半導体チップの一例ブロック図である。

【図4】NMOSトランジスタの直列回路によって構成された比較例としての出力回路のブロック図である。

【図5】ATM\_Forum/94-1008R5に記載の1ビット連続データ繰返しのテンプレートを示す説明図である。

【図6】ATM\_Forum/94-1008R5に記載の2ビット連続データ繰返しのテンプレートを示す説明図である。

【図7】ATM\_Forum/94-1008R5に記載の3ビット連続データ繰返しのテンプレートを示す説明図である。

【図8】ATM\_Forum/94-1008R5に記載の4ビット連続データ繰返しのテンプレートを示す説明図である。

【図9】ATM\_Forum/94-1008R5に記載の5ビット連続データ繰返しのテンプレートを示す説明図である。

【図10】テンプレートで規定される送信波形を満足するためのフィルタの一例等価回路図である。

【図11】リターンロスについての説明図である。

【図12】出力ドライバ回路の出力段を構成するMOSトランジスタのレイアウト図である。

【図13】図12のa-a線矢視断面図である。

【図14】ATM物理レイヤのためのPMD半導体チップを伝送線を介して1対1対応で接続した状態を以て送信用の出力ドライバ回路の別の例を示す回路図である。

【図15】図14の出力ドライバ回路に含まれる遅延回路の一例回路図である。

【図16】CMOS出力段を並列3段構成とした出力ドライバ回路50の一例回路図である。

【図17】電源ノイズに関するシミュレーション対象回路の等価回路図である。

【図18】シミュレーションに用いる第2のCMOS出力段用の遅延回路の回路図である。

【図19】シミュレーションに用いる第3のCMOS出力段用の遅延回路の回路図である。

【図20】トランジスタサイズ比と遅延時間に関する複数のシミュレーション条件を示す説明図である。

【図21】シミュレーションの条件#1～#6におけるトランジスタサイズ比及び遅延時間を得るための各MOSトランジスタのサイズの条件の一例を示す説明図である。

【図22】シミュレーションの条件#5, #7～#10で遅延回路に設定される遅延時間を得る時のトランジスタサイズ比の一例を示す説明図である。

【図23】シミュレーションによって得られた電源電流波形の一例説明図である。

【図24】シミュレーションによって得られた電源電流波形に基づいて電源電流ノイズ量を取得する手法を

(A)に、取得された電源電流ノイズ量を(B),

(C)に示す説明図である。

【図25】ATM-LANアダプタカードの一実施例ブロック図である。

【符号の説明】

1 (1a～1i) 端末装置

2 (2a～2i) ATM-LANインタフェース回路

3 (3a～3i) 伝送線

4 (4a～4i) 伝送線

5 ATMハブ

9 PMD半導体チップ

Vdd 電源電圧

Vss 接地電位

10 送信回路

11 受信回路

10 Tx A, Tx B 送信端子

20 出力制御回路

21 出力回路

33, 34, 43, 44 抵抗

35, 45 フィルタ

36, 37, 46, 47 トランス

50 出力ドライバ回路

Q1, Q3, Q5, Q7, Q9, Q11 PMOSトランジスタ

Q2, Q4, Q6, Q8, Q10, Q12 NMOSトランジスタ

51 第2の出力段

52 第1の出力段

54 遅延回路

57 第3の出力段

80, 81 遅延回路

200 ATM-LANアダプタカード

201 カード基板

202 マイクロプロセッサ

203 ROM

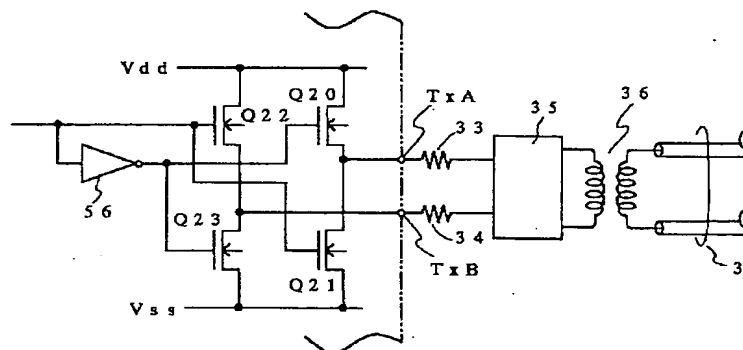
204 RAM

205 ATMコントローラ

206 RAM

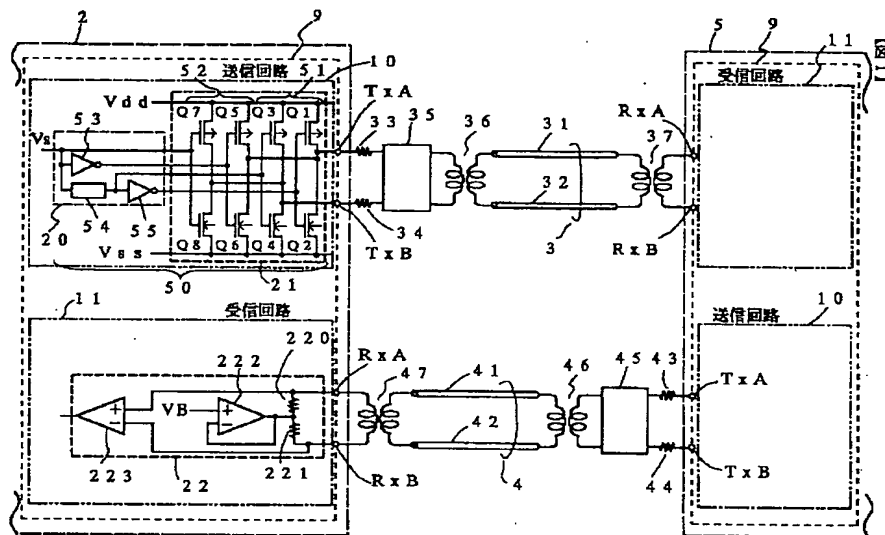
207 フィルタ・トランス

【図4】

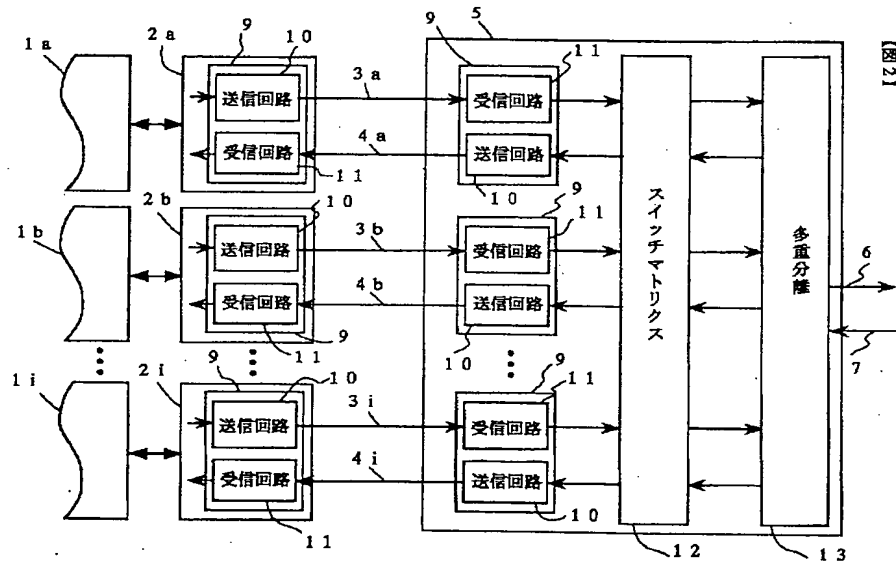


【図4】

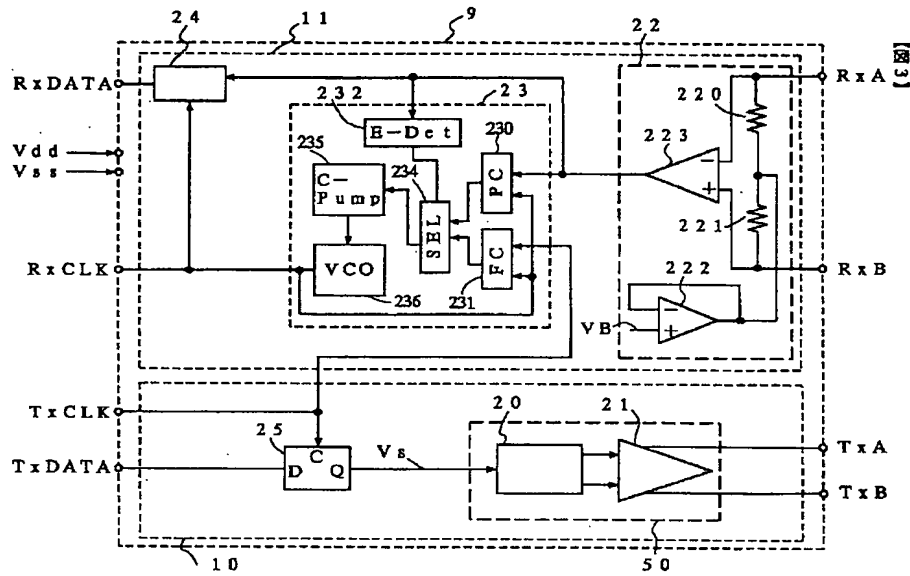
【図1】



【図2】



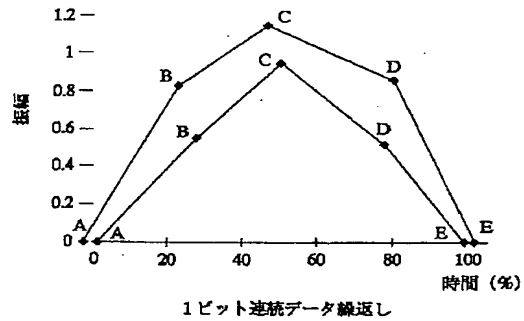
【図3】



【図5】

【図5】

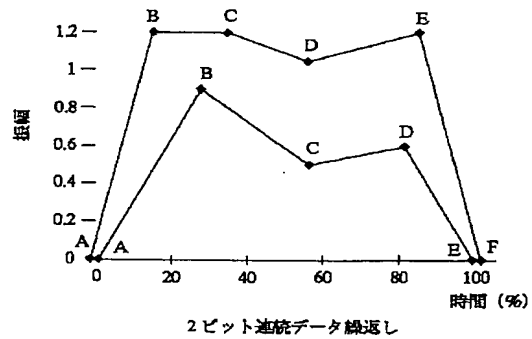
位置	上限の時間(%)	上限の振幅	下限の時間(%)	下限の振幅
A	-1.5	0	1.5	0
B	23.5	0.83	26.0	0.55
C	48.5	1.15	51.5	0.95
D	80.0	0.86	77.5	0.52
E	101.5	0	98.5	0



【図6】

【図6】

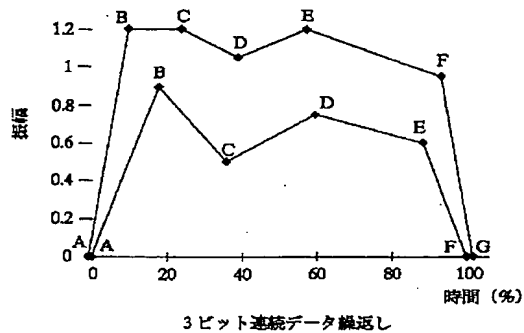
位置	上限の時間(%)	上限の振幅	下限の時間(%)	下限の振幅
A	-1.0	0	1.0	0
B	15.5	1.20	26.0	0.90
C	34.5	1.20	57.0	0.50
D	56.5	1.05	81.5	0.65
E	85.0	1.20	99.0	0
F	101.0	0	-	-



【図7】

【図7】

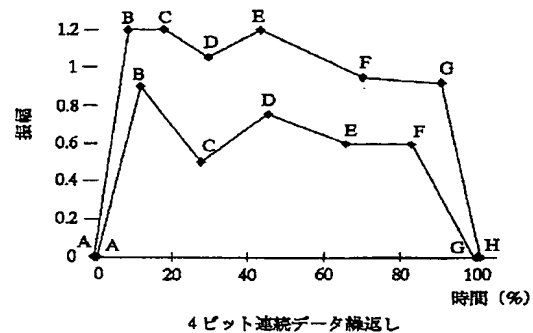
位置	上限の時間(%)	上限の振幅	下限の時間(%)	下限の振幅
A	-0.5	0	0.5	0
B	10.5	1.20	17.5	0.90
C	23.0	1.20	37.5	0.50
D	38.0	1.05	59.5	0.75
E	57.0	1.20	87.5	0.6
F	93.0	0.95	99.5	0
G	100.5	0	-	-



【図8】

【図8】

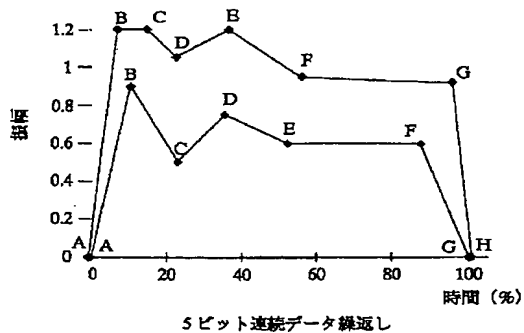
位置	上限の時間(%)	上限の振幅	下限の時間(%)	下限の振幅
A	-0.4	0	0.4	0
B	7.9	1.20	13.1	0.90
C	17	1.20	28.0	0.50
D	29	1.05	45.0	0.75
E	43	1.20	66.0	0.60
F	70	0.95	84.0	0.60
G	93.5	0.92	99.6	0
H	100.4	0	-	-



【図9】

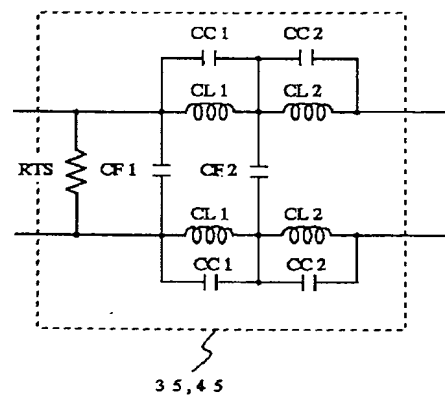
【図9】

位置	上限の時間(%)	上限の振幅	下限の時間(%)	下限の振幅
A	-0.3	0	0.3	0
B	6.3	1.20	10.5	0.90
C	14	1.20	23.0	0.50
D	23	1.05	36.0	0.75
E	34	1.20	53.0	0.60
F	56	0.95	87.0	0.60
G	95	0.92	99.7	0
H	100.3	0	-	-



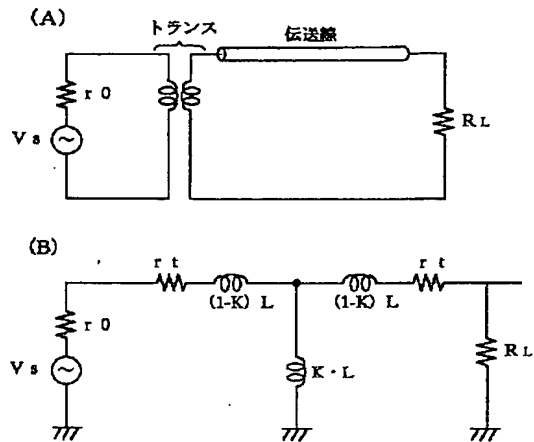
【図10】

【図10】



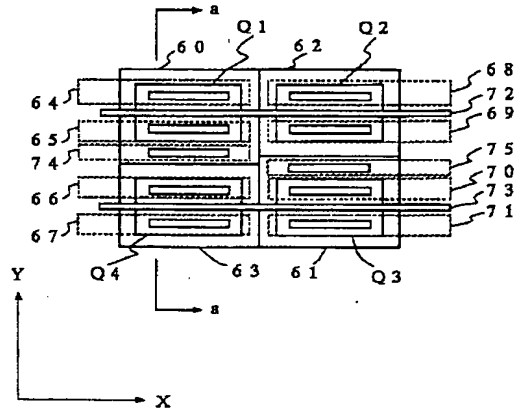
【図11】

【図11】



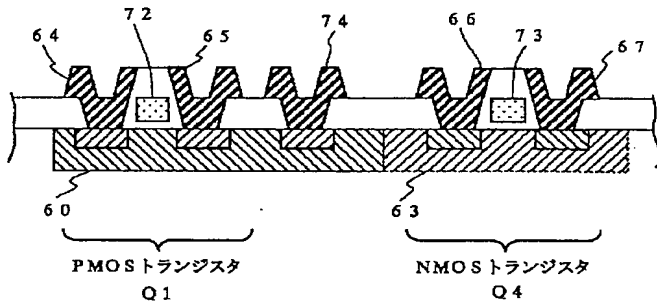
【図12】

【図12】

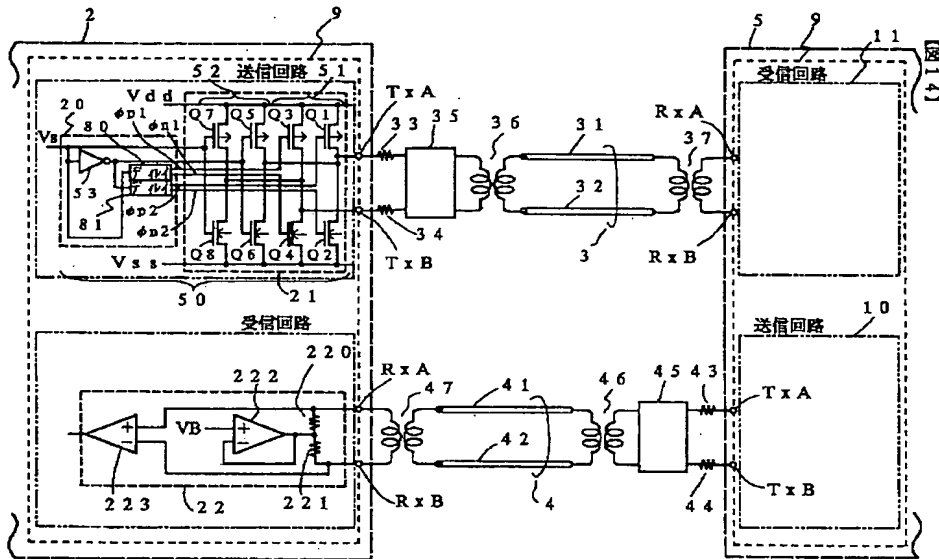


【図13】

【図13】

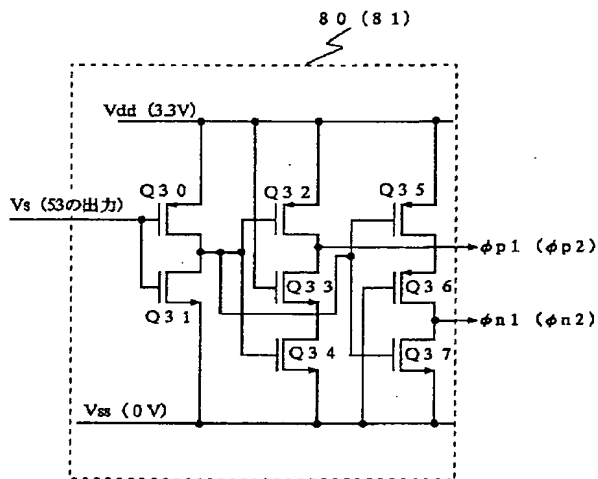


【図14】



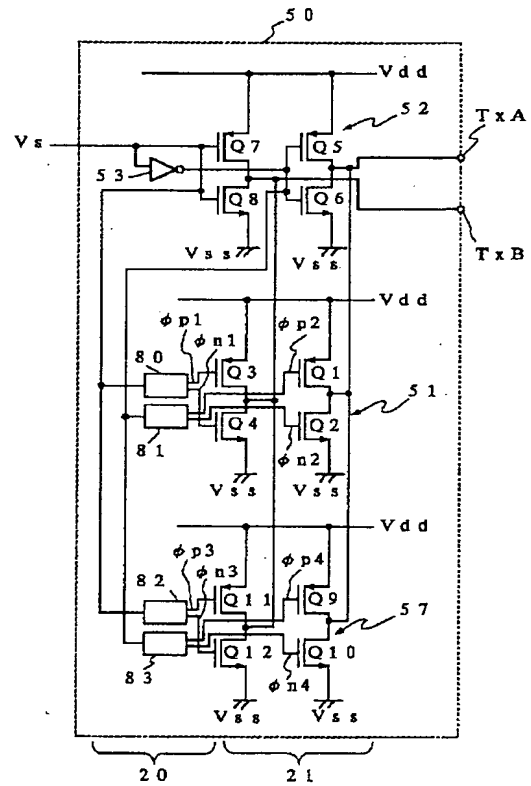
【図15】

【図15】



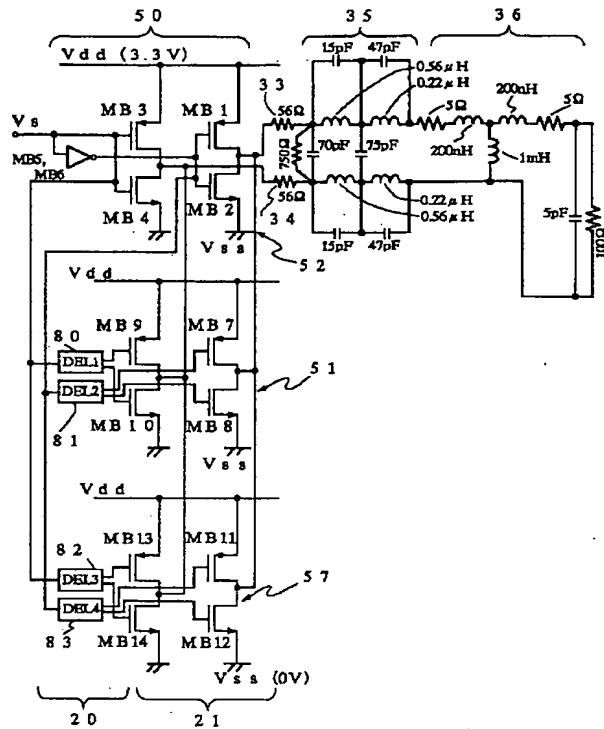
【図16】

【図16】



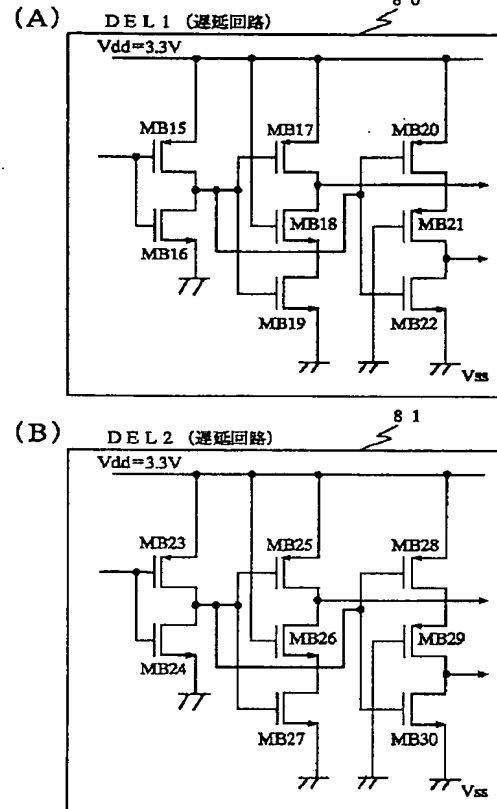
【図17】

【図17】



【図18】

【図18】



【図20】

シミュレーション条件

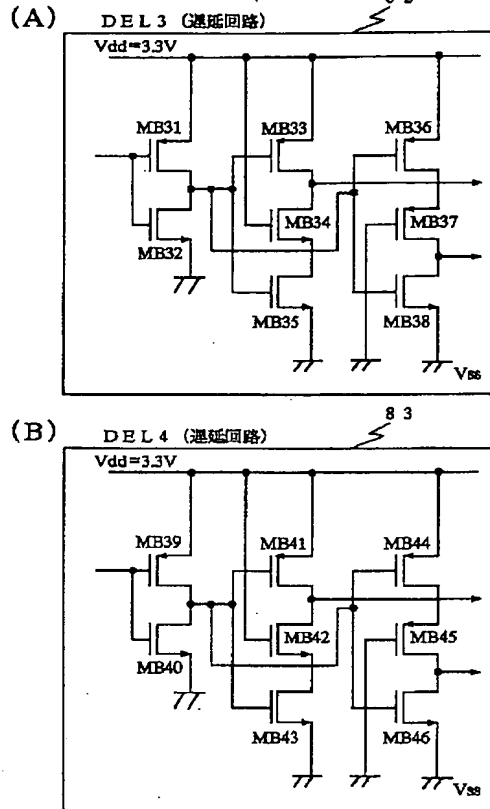
条件	回路	トランジスタサイズ比 (W/L) b : c : d	ディレイ時間		条件	回路	トランジスタサイズ比 (W/L) b : c : d	ディレイ時間	
			DEL1,2	DEL3,4				DEL1,2	DEL3,4
#1	改良前	—	—	—	#6	改良後	1 : 3 : 9	2 ns	4 ns
#2	改良後	1 : 1 : 1	2 ns	4 ns	#7	改良後	1 : 2.5 : 6.25	1.5 ns	3 ns
#3	改良後	1 : 1.5 : 2.25	2 ns	4 ns	#8	改良後	1 : 2.5 : 6.25	3 ns	6 ns
#4	改良後	1 : 2 : 4	2 ns	4 ns	#9	改良後	1 : 2.5 : 6.25	4 ns	8 ns
#5	改良後	1 : 2.5 : 6.25	2 ns	4 ns	#10	改良後	1 : 2.5 : 6.25	5 ns	10 ns

【図20】



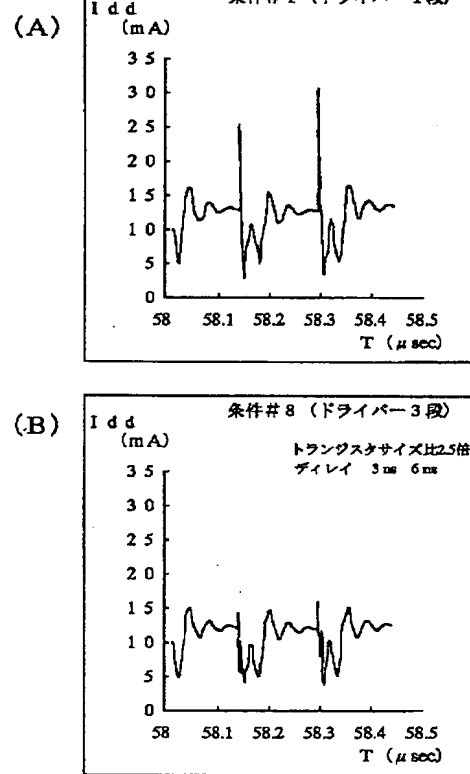
【図19】

図19]



【図23】

図23]



【図21】

【図21】

(条件#2～#6のディレイの時間はDEL1,2=2ns DEL3,4=4ns)

条件	W/L (L = 4 μm (MB18,21,26,29,34,37,42,45) L = 0.8 μm (左記以外) )															備考	
	MB5 MB6	MB1 ~4	MB7 ~10	MB11 ~14	MB15 16, 23 24	MB17 19, 20 32, 39 22, 25 27, 28 30	MB31 35, 36 38, 41 43, 44 46	MB18	MB21	MB26	MB29	MB34	MB37	MB42	MB45		
# 1	200	600	—	—	—	—	—	—	—	—	—	—	—	—	—		
# 2	200	200	200	200	200	200	200	4.75	10	5	10	1.75	3.75	1.75	4.5	W/L:B/A=C/B=D/C=1倍	
# 3	84	126	190	284	110	144	126	190	4	9.25	3.5	8.75	2.25	5.25	2	5.25	W/L:B/A=C/B=D/C=1.5倍
# 4	43	86	171	343	68	108	86	171	3.25	7.5	2.5	7.25	2.25	5.5	2	5.75	W/L:B/A=C/B=D/C=2倍
# 5	25	62	154	385	46	85	62	154	3.25	6.5	2.25	6.75	2.25	5.5	2.25	6.75	W/L:B/A=C/B=D/C=2.5倍
# 6	15	46	139	415	31	65	46	139	3	7	2	5.75	2.5	6	2.5	7.25	W/L:B/A=C/B=D/C=3倍

【図22】

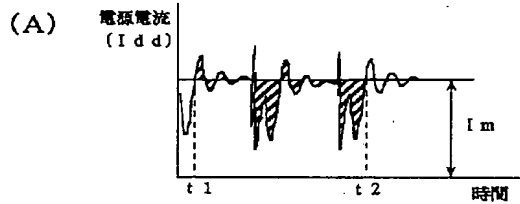
【図22】

(PMOSトランジスタは立下り、NMOSトランジスタは立上りにディレー時間を取る)

条件	ディレー時間				備 考
	DEL1	DEL2	DEL3	DEL4	
#1	—	—	—	—	
#7	1.5ns	1.5ns	3.0ns	3.0ns	W/L:MB1~17,19,20,22~25,27,28,30~33,35,36,38~41,43,44,46は条件#5と同じ。 MB18:7倍, MB21:16.25倍, MB26:3.75倍, MB29:10.5倍, MB34:4.25倍, MB37:8倍, MB42:3.5倍, MB45:10.5倍
#5	2.0ns	2.0ns	4.0ns	4.0ns	W/L:MB18:3.25倍, MB21:6.5倍, MB26:2.25倍, MB29:6.75倍, MB34:2.25倍, MB37:5.5倍, MB42:2.25倍, MB45:6.75倍
#8	3.0ns	3.0ns	6.0ns	6.0ns	W/L:MB1~17,19,20,22~25,27,28,30~33,35,36,38~41,43,44,46は条件#5と同じ。 MB18:1.75倍, MB21:3.75倍, MB26:1.25倍, MB29:4倍, MB34:1.5倍, MB37:3.75倍, MB42:1.5倍, MB45:4.25倍
#9	4.0ns	4.0ns	8.0ns	8.0ns	W/L:MB1~17,19,20,22~25,27,28,30~33,35,36,38~41,43,44,46は条件#5と同じ。 MB18:0.9倍, MB21:2.5倍, MB26:1倍, MB29:2.75倍, MB34:1倍, MB37:2.75倍, MB42:1.05倍, MB45:3.25倍
#10	5.0ns	5.0ns	10.0ns	10.0ns	W/L:MB1~17,19,20,22~25,27,28,30~33,35,36,38~41,43,44,46は条件#5と同じ。 MB18:0.625倍, MB21:2.05倍, MB26:0.75倍, MB29:2.05倍, MB34:0.75倍, MB37:2.25倍, MB42:0.825倍, MB45:2.375倍

【図24】

【図24】



$$IX = I \text{ SUM} / (t_2 - t_1)$$

I SUM : 図中斜線部分の電流値の総量  
Im : 電流波形の収束値

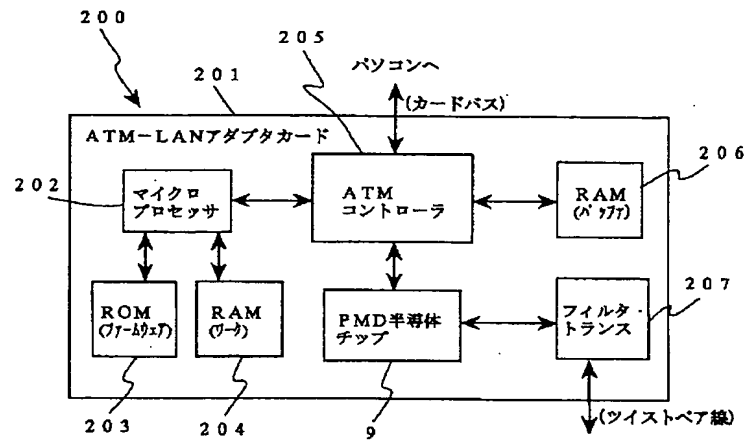
(B)

条件	IX	単位
#1	2.339	mA
#2	2.375	
#3	2.291	
#4	2.185	
#5	2.185	
#6	2.192	

(C)

条件	IX	単位
#1	2.339	mA
#7	2.208	
#5	2.185	
#8	2.165	
#9	2.195	
#10	2.219	

【図 25】



【図 25】

フロントページの続き

(51) Int. Cl.<sup>6</sup>

H04L 12/40

識別記号

庁内整理番号

FI

H04L 11/00

技術表示箇所

320